

## BEST AVAILABLE COPY

Original document**Method for producing a light emitting diode having transparent substrate**

Patent number: US5403916

Publication date: 1995-04-04

Inventor: WATANABE MASANORI (JP); TAKIGUCHI HARUHISA (JP)

Applicant: SHARP KK (JP)

Classification:



- international: **H01L33/00; H01L33/00**; (IPC1-7): H01L21/203

- european:

Application number: US19940196013 19940210

Priority number(s): JP19930022946 19930210; JP19930320334 19931220

Also published

 EP0611131 JP6296040 EP0611131[View INPADOC patent family](#)[Report a data error](#)**Abstract of US5403916**

A method for producing a light emitting diode includes the steps of: forming a first semiconductor multilayer on a first semiconductor substrate having a first conductivity type; forming a light emitting layer on the first semiconductor multilayer; forming a second semiconductor multilayer; disposing a second substrate which is transparent to light emitted from the light emitting layer on the second semiconductor multilayer; and bonding the second substrate and the second semiconductor multilayer through direct bonding with heating a vicinity of an interface between the second substrate and the second semiconductor multilayer.

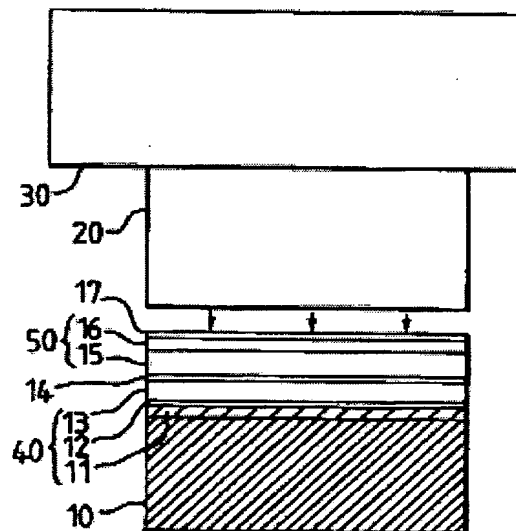


FIG.1

Data supplied from the *esp@cenet* database - Worldwide**Description of US5403916****BACKGROUND OF THE INVENTION**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-296040

(43)公開日 平成6年(1994)10月21日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

A 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数16、〇L (全 11 頁)

(21)出願番号 特願平5-320334

(22)出願日 平成5年(1993)12月20日

(31)優先権主張番号 特願平5-22946

(32)優先日 平5(1993)2月10日

(33)優先権主張国 日本 (J P)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 渡辺 昌規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 瀧口 治久

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

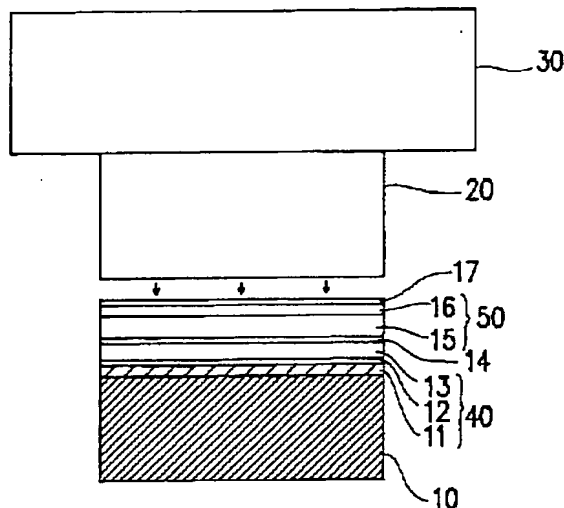
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 発光ダイオードの製造方法

(57)【要約】

【目的】 内部発光効率を低下させることなく外部出射効率を向上させることができ、化学的に安定で十分な強度を有する発光ダイオードを比較的簡易に製造することができる発光ダイオードの製造方法を提供する。

【構成】 n型の第1の基板10の上に、バッファ層11、中間バンドギャップ層12、第1クラッド層13からなるn型の第1の半導体層40、アンドープの発光層14、第2クラッド層15、キャップ層16からなるp型の第2の半導体層50を順次エピタキシャル成長させ、次いで第2の半導体層50の上にp型の第2の基板20を置き、その後接合する。この接合は、第2の基板20の上におもり30で圧力を加えた状態で高温処理を行うことにより行う。第2の基板20はキャップ層16との結晶軸方向を一致させて置くのが好ましい。



## 【特許請求の範囲】

【請求項1】 第1の導電型を有する半導体からなる第1の基板の上に、第1の導電型を有し、かつ単層または複数層からなる第1の半導体層を形成する工程と、該第1の半導体層の上に発光層を形成する工程と、該発光層の上に、第2の導電型を有し、かつ単層または複数層からなる第2の半導体層を形成する工程と、該第2の半導体層の上に、発光波長に対して透明な第2の基板を置き、その後高温処理によって接合する工程と、を含む発光ダイオードの製造方法。

【請求項2】 前記第2の基板が、第2の導電型を有する半導体からなる請求項1に記載の発光ダイオードの製造方法。

【請求項3】 前記第2の基板が、GaP、ZnSe、ZnSまたはSiCからなる請求項2に記載の発光ダイオードの製造方法。

【請求項4】 前記第2の基板が、誘電体からなる請求項1に記載の発光ダイオードの製造方法。

【請求項5】 前記第2の基板が、 $Al_2O_3$ 、ガラス、 $TiO_2$ 、 $MgO$ またはそれらの化合物からなる請求項4に記載の発光ダイオードの製造方法。

【請求項6】 前記接合する工程を、前記第1の基板および前記第2の基板の少なくとも一方の側から圧力を加えることにより行う請求項1に記載の発光ダイオードの製造方法。

【請求項7】 前記第2の基板を、前記第2の半導体層との結晶軸方向を一致させて置いて、前記接合する工程を行う請求項1に記載の発光ダイオードの製造方法。

【請求項8】 前記第2の半導体層が複数層からなり、かつ前記第2の基板と接合する層が該第2の基板と同一の組成である請求項2に記載の発光ダイオードの製造方法。

【請求項9】 前記第1の基板もしくは前記第2の半導体層の前記第2の基板と接合する側の面または前記第2の基板の前記第2の半導体層と接合する側の面の内の少なくとも一方に、溝を、該当する基板の両端部に該溝の各端部が達するように設ける工程を含む請求項1に記載の発光ダイオードの製造方法。

【請求項10】 前記第2の半導体層と前記第2の基板とを接合した後、前記第1の基板の少なくとも一部を除去する工程を含む請求項1に記載の発光ダイオードの製造方法。

【請求項11】 前記第1の基板と前記第1の半導体層との間に、前記第1の導電型を有し、かつ該第1の半導体層と組成の異なる半導体からなるエッチングストップ層を形成する工程と、前記第2の半導体層と前記第2の基板とを接合した後、少なくとも該エッチングストップ層が露出するまで該第1の基板を除去する工程と、

を含む請求項10に記載の発光ダイオードの製造方法。

【請求項12】 前記第1の基板の少なくとも一部を除去した後の露出面に電極を形成する工程と、少なくとも該電極以外の露出面に反射膜を形成する工程と、

を含む請求項10に記載の発光ダイオードの製造方法。

【請求項13】 前記第1の基板の少なくとも一部を除去した後の露出面に電極を形成する工程と、該第1の基板、前記第1の半導体層、前記発光層の少なくとも一部を除去して前記第2の半導体層の一部を露出させ、該第2の半導体層の露出面に電極を形成する工程と、

を含む請求項10に記載の発光ダイオードの製造方法。

【請求項14】 前記第2の半導体層の前記第2の基板と接合する側の面または該第2の基板の該第2の半導体層と接合する側の面に、前記第2の導電型を有するドーパント層を形成した状態で、前記接合する工程を行う請求項1に記載の発光ダイオードの製造方法。

【請求項15】 前記高温処理を前記第2の半導体層に吸収される波長の光を前記第2の基板側から照射することにより行う請求項1に記載の発光ダイオードの製造方法。

【請求項16】 前記高温処理を前記ドーパント層に吸収される波長の光を前記第2の基板側から照射することにより行う請求項14または15に記載の発光ダイオードの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、表示用および伝送用等に用いられる発光ダイオードの製造方法に関する。

## 【0002】

【従来の技術】 上述した発光ダイオード(LED)において内部で発生した光を外に取り出す効率、すなわち外部出射効率を向上させることは非常に重要である。それは、LEDを構成する半導体の屈折率は、例えば3.5程度と極めて高く、出射面で全反射となる臨界角が小さいため、出射面が平面の場合、発光領域からの光は臨界角よりも小さいごく限られた範囲の入射角のものしか外部に出射させることができないからである。

【0003】 外部出射効率を向上させるためには、LEDの半導体基板として発光波長に対して透明なものを用いることが一般的である。発光波長に対して不透明な半導体基板を用いた場合には、上面への出射光しか利用できないのに対し、発光波長に対して透明な半導体基板を用いた場合にはLEDの上面だけでなく4つの側面から光を出射させることが可能であり、また下面における反射光も上面および側面などから出射させることが可能となる。このような透明な半導体基板を有するLEDは、InGaAsP系の半導体材料を用いた赤外発光ダイオード、AlGaAs系の半導体材料を用いた赤外・赤色

3

発光ダイオード、GaAsP系の半導体材料を用いた黄色発光ダイオード、GaP系の半導体材料を用いた緑色発光ダイオード等に適用されている。

【0004】一方、最近ではAlGaInP系の半導体材料を用いた赤・黄・緑色発光ダイオードや、Zn(Cd)(S)Se系の半導体材料を用いた緑・青色発光ダイオード等の開発が進められている。しかし、これらのLEDに発光波長に対して透明な半導体基板を用いた場合には、格子整合条件が満たされず、またこれらLEDに適した良質な基板が得られないために、LEDの内部発光効率が低下するという問題があった。これらのLEDは、半導体基板として発光波長に対して不透明な半導体基板を用い、この基板上に上記半導体材料を成長させることで、良好な内部発光効率が得られるようになる。しかし、この場合には上述したように不透明な半導体基板を用いることによる外部射出効率の低下が避けられない。

【0005】このような問題を改善するために、従来では例えば特開平3-274770号公報に、図13に示すような構造の発光ダイオードが開示されている。この発光ダイオードは以下の方法で製造される。すなわち、まずn型GaAsからなる第1の基板900の上に、基板に格子整合するn型AlInP第1クラッド層901、アンドープAlGaInP発光層902、p型AlInP第2クラッド層903、p型AlGaInP中間バンドギャップ層904およびp型AlGaAs保持層905をMOCVD(有機金属化学気相成長)法により順次積層する。次いで、n型GaAsからなる第1の基板900を除去し、電極を形成した後、p型AlGaAs保持層905を下にしてステムにマウントする。

【0006】

【発明が解決しようとする課題】しかし、上述した図13に示す従来の製造方法においても、以下に示すような問題点があった。まず、上記従来例で得られるLEDにおいては、n型GaAsからなる第1の基板900を除去した後もLEDの強度を維持するために、p型AlGaAs保持層905は非常に厚く積層する必要がある。しかし、上述したMOCVD法による積層では、p型AlGaAs保持層905の形成に時間がかかりすぎるという問題がある。また、一般に $Al_{1-x}Ga_xIn_{1-x}As$  ( $0 \leq x \leq 1$ )を保持層とするLEDにおいて、発光波長が短波長、例えば緑色の発光波長の場合にも保持層を透明にするには組成比 $x$ を1に近い値にする必要があるが、このようにすると保持層は空气中で酸化され易く、化学的に不安定になるという問題があった。

【0007】本発明は上記問題点を解決すべくなされたものであり、内部発光効率を低下させることなく外部射出効率を向上させることができ、化学的に安定で十分な強度を有する発光ダイオードを比較的簡易に製造することができる発光ダイオードの製造方法を提供することを

4

目的とする。

【0008】

【課題を解決するための手段】本発明の発光ダイオードの製造方法は、第1の導電型を有し半導体からなる第1の基板の上に、第1の導電型を有し、かつ単層または複数層からなる第1の半導体層を形成する工程と、該第1の半導体層の上に発光層を形成する工程と、該発光層の上に、第2の導電型を有し、かつ単層または複数層からなる第2の半導体層を形成する工程と、該第2の半導体層の上に、発光波長に対して透明な第2の基板を置き、その後高温処理によって接合する工程と、を含み、そのことにより上記目的が達成される。

【0009】好適な実施態様としては、上記第2の基板が、GaP、ZnSe、ZnSまたはSiCその他の半導体基板、 $Al_2O_3$ 、ガラス、 $TiO_2$ 、MgOまたはそれらの化合物からなるその他の誘電体基板からなる。

【0010】好適な実施態様としては、上記接合する工程を、上記第1の基板および上記第2の基板の少なくとも一方の側から圧力を加えることにより行う。

【0011】好適な実施態様としては、上記第2の基板を、上記第2の半導体層との結晶軸方向を一致させて置いて、上記接合する工程を行う。

【0012】好適な実施態様としては、上記第2の半導体層を複数層から構成し、かつ上記第2の基板と接合する層を該第2の基板と同一の組成とする。

【0013】好適な実施態様としては、上記製造方法は、上記第1の基板もしくは上記第2の半導体層の上記第2の基板と接合する側の面または上記第2の基板の上記第2の半導体層と接合する側の面の内の少なくとも一方に、溝を、該当する基板の両端部に該溝の各端部が達するように設ける工程を含む。

【0014】好適な実施態様としては、上記製造方法は、上記第2の半導体層と上記第2の基板とを接合した後、上記第1の基板の少なくとも一部を除去する工程を含む。上記製造方法は、上記第1の基板と上記第1の半導体層との間に、上記第1の導電型を有し、かつ該第1の半導体層と組成の異なる半導体からなるエッチングストップ層を形成する工程と、上記第2の半導体層と上記第2の基板とを接合した後、少なくとも該エッチングストップ層が露出するまで該第1の基板を除去する工程とを含んでもよい。

【0015】さらに、上記好適な実施態様においては、上記第1の基板の少なくとも一部を除去した後の露出面に反射膜を形成する工程を含むのが望ましい。

【0016】好適な実施態様としては、上記製造方法は、上記第1の基板の少なくとも一部を除去した後の露出面に電極を形成する工程と、該、上記第1の半導体層、上記発光層の少なくとも一部を除去して上記第2の半導体層の一部を露出させ、該第2の半導体層の露出面に電極を形成する工程とを含む。

5

【0017】好適な実施態様としては、上記製造方法は、上記第2の半導体層の上記第2の基板と接合する側の面または該第2の基板の該第2の半導体層と接合する側の面に、上記第2の導電型を有するドーバント層を形成した後、上記接合する工程を行う。

【0018】好適な実施態様としては、上記高温処理を上記第2の半導体層に吸収される波長の光または上記ドーバント層に吸収される波長の光を、上記第2の基板側から照射することにより行う。

【0019】

【作用】本発明の発光ダイオードの製造方法においては、半導体からなる第1の基板上に成長された第2の半導体層上に第2の基板を置き、その後直接接合を行う。この接合は、接着剤などを用いるものではないため、界面が良好である。

【0020】また、本発明においては、発光波長に対して不透明な第1の基板と発光波長に対して透明な第2の基板とを接合することにより、内部発光効率を低下させることなく外部出射効率の向上を図ることができる。つまり、不透明な第1の基板の上にほぼ格子整合条件を満たすような半導体層を成長させることで、内部発光効率

が良好となる。また透明な第2の基板を接合することによって、この基板側の面だけでなく側面からも発光層からの光を出射させることが可能となり、外部出射効率を向上させることができる。

【0021】透明な第2の基板は、化学的に安定で、充分な厚さを有するものとすることができる。

【0022】

【実施例】以下、本発明を実施例に基づいて説明する。尚、図1から図8に示した同一の機能を有する構成部材には同じ番号を付記する。

【0023】（実施例1）図1は、本実施例の発光ダイオードの製造工程を示す断面図であり、図2は本実施例で得られる発光ダイオードの断面図である。

【0024】この発光ダイオードはAlGaInP系のものであり、図2に示すように、発光層14を挟んでn型の第1の半導体層40とp型の第2の半導体層50とが対向した構造となっている。第1の半導体層40は、発光波長に対して不透明なn型の半導体からなる第1の基板10の上に形成されており、バッファ層11と中間バンドギャップ層12と第1クラッド層13とから構成されている。一方、第2の半導体層50は、第2クラッド層15とキャップ層（図示せず）とからなるが、キャップ層はその上に形成された発光波長に対して透明なp型の半導体からなる第2の基板（図示せず）と同一の組成を有しており、これらキャップ層と第2の基板とは一体化して保持層60を形成している。第1の基板10の底面には裏面電極26が形成されており、保持層60の上面には表面電極25が形成されている。

【0025】このような構造を有する発光ダイオードは

6

以下のようにして製造される。

【0026】まず、図1に示すように、表面が（100）面であり、発光波長に対して不透明なn型の半導体からなる第1の基板10の上に、バッファ層11、中間バンドギャップ層12、第1クラッド層13、アンドープの発光層14、第2クラッド層15およびキャップ層16をMOCVD法を用いてエピタキシャル成長させることにより順次積層形成する。次いで、キャップ層16の上にZnからなる厚さ5nmのドーバント層17を真空蒸着法により形成する。

10

【0027】続いて、キャップ層16と同一組成を有し、表面が（100）面であり、発光波長に対して透明なp型の半導体からなる第2の基板20を表面を僅かにエッチングする等の処理を施し、その後キャップ層16の上に結晶軸方向を一致させて置く。次いで、第2の基板20の上に、 $10\text{ g/cm}^2$ のおもり30を載せる。この場合、結晶軸方向とはオリエンテーションフラットまたは劈開面の向きである。また、おもり30としては表面を粗にしたカーボンを使用した。その後、 $\text{H}_2$ 雰囲気下で温度を $650^\circ\text{C}$ に上げ、YAGレーザを第2の基板20側から照射し、2時間放置する。これにより、第2の半導体層50と第2の基板20とは直接接合される。ドーバント層17は接合後、拡散により消失して、キャップ層16および第2の基板20は図2に示すように一体化して保持層60となる。尚、本実施例においては基板および各半導体層の組成および厚さは、例えば以下のようにする。

20

【0028】第1の基板10：n型GaAs、厚さ $300\text{ }\mu\text{m}$ 、大きさ $10\times 12\text{ mm}^2$ 、  
 バッファ層11：n型GaAs、厚さ $2\text{ }\mu\text{m}$ 、  
 中間バンドギャップ層12：n型 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 、厚さ $0.1\text{ }\mu\text{m}$ 、  
 第1クラッド層13：n型 $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 、厚さ $1\text{ }\mu\text{m}$ 、  
 発光層14： $(\text{Al}_{0.2}\text{Ga}_{0.8})_{0.5}\text{In}_{0.5}\text{P}$ 、厚さ $0.5\text{ }\mu\text{m}$ 、  
 第2クラッド層15：p型 $\text{Al}_{0.5}\text{In}_{0.5}\text{P}$ 、厚さ $1\text{ }\mu\text{m}$ 、  
 キャップ層16：p型GaP、厚さ $2\text{ }\mu\text{m}$ 、  
 第2の基板20：p型GaP、厚さ $300\text{ }\mu\text{m}$ 、大きさ $10\times 12\text{ mm}^2$ 。

30

40

【0029】次に、第1の基板10をエッチングすることにより厚さ $10\text{ }\mu\text{m}$ にする。続いて、AuZnの表面電極25を第2の基板20の上面に蒸着した後、フォトリソグラフィによって図3（a）に示すように円形にパターニングする。また、AuGeからなる裏面電極26を第1の基板10の底面全面に蒸着した後、フォトリソグラフィによって図3（b）に示すようにドット状のレジストをパターン形成し、レジストで覆われていない部分について裏面電極26、第1の基板10、バッ

7

ァ層11および中間バンドギャップ層12を除去し、レジストを除去する。

【0030】上述した発光ダイオードはダイシングによってチップに分割し、ステムに裏面電極26が接続するように導電性ペーストで接着する。次いで、ワイヤを表面電極25にボンディングした後、樹脂封止する。

【0031】保持層60におけるキャップ層16と第2の基板20との境界面の様子を保持層60の上から光学顕微鏡で観察した結果、接合不良は境界面に僅かに残存していたゴミの周辺に限定されており、大部分の領域は均一に接合されていた。接合の強度は、非常に強い力を加えるダイシング工程の後でもはがれない程であった。

【0032】第1の基板10のGaAsおよび第2の基板20のGaPの格子定数はそれぞれ5.653オングストロームおよび5.451オングストロームであり、3.7% (GaPを基にして)の差に伴う格子欠陥が懸念される。そこで、キャップ層16と第2の基板20との境界面の断面を超高解像度顕微鏡によって観察した。格子欠陥はキャップ層16および境界面に見られたが、その他の部分にまで広がっていなかった。比較のため、保持層60の代わりにp型GaP層をMOCVD法で厚く成長させることにより形成した物を製造し、その断面を観察したが、この場合にはp型GaP層全体に多くの格子欠陥が見られ、本発明の接合方法が優れていることがわかった。

【0033】尚、ドーパント層17は上記境界面におけるノッチ(半導体バンドギャップの差によって生じる1種の抵抗)を低減するために、キャップ層16と第2の基板20との間隙に挿入されている。本実施例においてはドーパント層17としてZnを使用した。他にVI族元素であるS、SeおよびTeも使用し得る。さらに、ドーパント層17の厚さは5nmとしたが、この層をキャップ層16と第2の基板20との接合後に拡散させて消失させるためには100nm以下とするのが好ましく、またドーパント層17は必ずしも形成する必要はない。

【0034】さらに、ドーパント層17に吸収される波長の光を照射することにより、接合の境界面のみを局所的に加熱することができるので、内部の半導体構造を過大に加熱することがなく、半導体特性の低下を生じない。この場合、用いる光源としては、YAGレーザの他、ハロゲンランプ、ArレーザおよびCO<sub>2</sub>レーザ等、第2の基板20を透過し得る波長領域の光であればいずれを光源としてもよい。また、光加熱は第2の基板20側からでなく、第1の基板10側から行ってもよい。さらに、光加熱でなく、通常の加熱により接合を行ってもよい。

【0035】接合温度は高温であるほど接合が良好になるが、あまり高温であっても半導体積層構造が破壊されるので、光加熱をする場合には常温から900℃(同基

8

板がGaAsおよびGaPからなる場合)の範囲が適しており、光加熱をしない場合には300~900℃の範囲が適している。接合時の雰囲気はH<sub>2</sub>の他、真空、PH<sub>3</sub>、AsH<sub>3</sub>、PまたはAsのアルキル化合物とするのが好ましいが、N<sub>2</sub>、乾燥空気、Ar等とすることも可能である。おもりに30は無くても接合は可能であるが、振動によるずれや基板の反り等を考慮して、基板が割れない範囲内、例えば0~10kg/cm<sup>2</sup>のおもりを使用することができる。

【0036】第2の基板20はGaPの他に、ZnSe、ZnSおよびSiC等、発光波長に対して透明な基板を用いることが出来る。また、表面処理は第2の基板20のみについて行ったが、キャップ層16について行ってもよく、また表面処理は行わなくてもよい。また、表面処理方法としては僅かにエッチングする他に、純水等による洗浄であってもよい。

【0037】第1の基板10表面の面方位は(100)面としたが、面方位は特に限定されるものではなく、例えば(100)面から数度、例えば1~15°傾けてもよく、(111)A面や(111)B面等でもよい。また、第1の基板10の導電型はp型でもよく、p型とする場合には各層11~16および第2の基板の導電型はすべて反対にする。さらに、第1の基板10の除去はエッチングの他にラッピング(研磨)で行ってもよく、必ずしも除去する必要もない。

【0038】第1の基板10および第2の基板20の面方位は必ずしも一致させる必要はなく、例えば第1の基板10の面方位を(100)面から10°傾け、第2の基板20の面方位を(100)とした場合についても良好な接合が得られている。第1の基板10および第2の基板20の結晶方位もまた、必ずしも一致させる必要はなく、例えば第1の基板10の[011]方向と第2の基板20の[011]方向とが1~2°ずれている場合についても良好な接合が得られている。さらに大幅に、例えば45°ずれていても接合は可能である。

【0039】キャップ層16は、第2の半導体層50と第2の基板との接合を容易に、かつ低温、短時間で行うのに有用である。キャップ層16を形成せずにクラッド層15を第2の半導体層の最上層としても接合は可能であるが、キャップ層16を形成した方が接合は良好である。

【0040】また、バッファ層11は良好な結晶成長を行うために第1の基板10と中間バンドギャップ層12との間隙に挿入しているが、この層はなくてもよい。さらに、中間バンドギャップ層12はバッファ層11と第1クラッド層13とが直接に接触した時に境界面に1種の電気抵抗が生じるのを低減するために設けられているが、この層はAlGaAsに置き換えてもよく、また無くてもよい。

【0041】本実施例においては、表面電極25として

AuZn、裏面電極26としてAuGeを使用した、その他のp側オーミック電極、n側オーミック電極を使用してもよい。さらに、表面電極25、裏面電極26のパターンはどのようなものであってもよい。

【0042】各半導体層11~16はMOCVD法で形成したが、MBE（分子線エピタキシー）法、ガスソースMBE法、MOMBE（有機金属MBE）法、CBE（化学ビームエピタキシー）法等の成長法で形成してもよい。また、発光部の界面の接合はダブルヘテロ接合に限定されるものではなく、シングルヘテロ接合、ホモ接合であってよい。

【0043】（実施例2）図4は、本実施例の発光ダイオードの製造工程を示す断面図であり、図5は本実施例で得られる発光ダイオードの断面図である。

【0044】この発光ダイオードはAlGaInP系のものであり、図5に示すように、発光層14を挟んでn型の第1の半導体層40とp型の第2の半導体層50とが対向した構造となっている。第1の半導体層40はバッファ層11と中間バンドギャップ層12と第1クラッド層13とから構成されている。一方、第2の半導体層50は、第2クラッド層15とキャップ層16とからなり、その上面には発光波長に対して透明なp型の半導体からなる第2の基板20が形成されている。第2の基板20の第2の半導体層50との境界面側には溝21が形成されている。バッファ層11の底面には裏面電極26が形成され、この発光ダイオードの裏面全体を覆うように反射膜19が形成されている。第2の基板20の上面には表面電極25が形成されている。

【0045】このような構造を有する発光ダイオードは以下のようにして製造される。

【0046】まず、図4に示すように、表面が（100）面であり、発光波長に対して不透明なn型の半導体からなる第1の基板10の上に、n型のエッチングストップ層18、バッファ層11、中間バンドギャップ層12、第1クラッド層13、アンドープの発光層14、第2クラッド層15およびキャップ層16をMOCVD法を用いてエピタキシャル成長させることにより順次積層形成する。

【0047】次いで、図6に示すように、表面が（100）面であり、発光波長に対して透明なp型の第2の基板20に対し、第1の基板10上の第2の半導体層50と接合する側の面にウェハの端に達する多数の溝をウェットエッチングによって溝幅間隔300μmで形成する。この溝は後述のチップに分割する工程においてダイシングする線と一致させた。その後、第2の基板20を軽くエッチングする等の表面処理を行う。続いて、図4および図6に示すように、第2の基板20を第2の半導体層50の上に結晶軸方向を一致させて置き、その上に、100g/cm<sup>2</sup>のおもり30を載せる。この状態で、PH<sub>3</sub>およびH<sub>2</sub>混合雰囲気中、温度を500℃にし

て4時間放置すると、第2の半導体層50と第2の基板20とが直接接合される。尚、本実施例においては基板および各半導体層の組成および厚さは、例えば以下のようになる。

【0048】第1の基板10：n型GaAs、厚さ300μm、

エッチングストップ層18：Al<sub>0.5</sub>Ga<sub>0.5</sub>As、厚さ2μm、

バッファ層11：n型GaAs、厚さ2μm、

中間バンドギャップ層12：n型Ga<sub>0.5</sub>In<sub>0.5</sub>P、厚さ20nm、

第1クラッド層13：n型（Al<sub>0.7</sub>Ga<sub>0.3</sub>）<sub>0.5</sub>In<sub>0.5</sub>P、厚さ1μm、

発光層14：（Al<sub>0.4</sub>Ga<sub>0.6</sub>）<sub>0.5</sub>In<sub>0.5</sub>P、厚さ1μm、

第2クラッド層15：p型（Al<sub>0.7</sub>Ga<sub>0.3</sub>）<sub>0.5</sub>In<sub>0.5</sub>P、厚さ1μm、

キャップ層16：p型GaP、厚さ2μm、

第2の基板20：p型GaP、厚さ300μm。

【0049】次に、第1の基板10の上のエッチングストップ層18をエッチングしない選択性エッチャント（アンモニア、過酸化水素および水の混合溶液）を用いて、第1の基板10をエッチングにより除去する。しかる後、エッチングストップ層18の上のバッファ層11をエッチングしない選択性エッチャント（フッ酸）を用いてエッチングストップ層18をエッチングにより除去する。次いで、表面電極25を第2の基板20の上面に蒸着した後、フォトリソグラフィーによって円形にパターンニングする。また、裏面電極26をバッファ層11の裏面全体に蒸着した後、フォトリソグラフィーによってドット状のレジストパターンを形成し、レジストで覆われていない部分について裏面電極26、バッファ層11および中間バンドギャップ層12を除去する。裏面電極26上に形成したレジストパターンは取り除く。さらに、このような状態の第1の半導体層40部分の底面全体にAl等の反射膜19をスパッタ法で形成して本実施例の発光ダイオードを得る。

【0050】上述した発光ダイオードはダイシングによってチップに分割し、ステムに裏面電極26が接続するように導電性ペーストで接着する。次いで、ワイヤを表面電極25にボンディングした後、樹脂封止する。

【0051】本実施例において、第2の基板20の接合面には、接合の際にボイド（泡）あるいは不純物が除去され易いように、ウェハの端に達する溝21を形成している。接合された境界面に残存する、不純物を含むガスはこの溝を通して外部に導かれて除去される。本実施例では、溝21を一方方向にストライプ状に形成したが、縦横にメッシュ状に形成することも可能である。また、本実施例においては、溝21をダイシングする線と一致させたが、特に一致させる必要はない。溝は第2の半導体

11

層50または第1の基板10にも形成してもよく、その場合には第2のクラッド層15を形成した後またはエッチングストップ層18の形成前に溝を形成すればよい。

【0052】また、本実施例においては、第1の基板10の上に、これを組成の異なるエッチングストップ層18を形成することにより、エッチング時間によらず、正確にかつ容易に第1の基板10の選択的除去を行うことができる。尚、エッチングストップ層18を除去しなくてもよく、その場合にはバッファ層11は不要となる。さらに、本実施例ではエッチングストップ層18の材料は第1の基板10および第2の基板20の材料(GaAs)と異なれば特に限定されず、例えばGa<sub>0.5</sub>In<sub>0.5</sub>P等でもよい。

【0053】本実施例では、不透明な第1の基板10を除去することにより、n側即ち第1の半導体層40側の底面に達した光を反射させて取り出すことができ、外部出射効率を向上させることができる。本実施例のように裏面電極26形成後に反射膜19を形成するとさらに効果的である。通常、発光ダイオードの底面は銀ペーストによって接着されるので反射膜19を形成しなくてもこの部分である程度の反射率があるが、さらにこの反射率を上げるために反射膜19の形成は有効である。本実施例においては、反射膜19をAl等の金属膜で形成したが、この場合、半導体層である第1クラッド層13とのオーミックコンタクトは取られていないので、電流は裏面電極26を介して流れる。反射膜19の材料としては、金属膜の他、TiO<sub>2</sub>およびSiO<sub>2</sub>の交互多層膜等の誘電体多層膜が可能であり、その場合には裏面電極26の周囲のみを除去する必要がある。

【0054】尚、本実施例においても実施例1と同様の変更が可能である。

【0055】(実施例3)図7は、本実施例の発光ダイオードの製造工程を示す断面図であり、図8は本実施例で得られる発光ダイオードの断面図である。

【0056】この発光ダイオードはZnCdSe系のものであり、図8に示すように、発光層14を挟んでn型の半導体層40とp型の第2の半導体層としての第2クラッド層15とが対向した構造となっている。n型の半導体層40は、発光波長に対して不透明なn型の半導体からなる第1の基板10の上に形成されており、第1のバッファ層11と中間バンドギャップ層12と第2のバッファ層41と第1クラッド層13とから構成されている。発光層14は歪み量子井戸構造となっており、第2クラッド層15の上面には発光波長に対して透明なp型の半導体からなる第2の基板20が形成されている。第1の基板10の底面には裏面電極26が形成され、この発光ダイオードの裏面全体を覆うように反射膜19が形成されている。第2の基板20の上面には表面電極25が形成されている。

【0057】このような構造を有する発光ダイオードは

12

以下のようにして製造される。

【0058】まず、図7に示すように、面方位が(100)面であり、発光波長に対して不透明なn型の半導体からなる第1の基板10の上に、第1のバッファ層11、中間バンドギャップ層12、第2のバッファ層41、第1クラッド層13、アンドープ歪み量子井戸構造の発光層14および第2クラッド層15をMBE法を用いて順次積層形成する。

【0059】次いで、面方位が(100)面であり、発光波長に対して透明なp型の半導体からなる第2の基板20を軽くエッチングする等の表面処理をした後、第1の基板10上の第2クラッド層15の上に結晶軸方向を一致させて置き、その上に100g/cm<sup>2</sup>のおもり30を載せる。この状態で、H<sub>2</sub>SeおよびH<sub>2</sub>混合雰囲気中、温度を500℃にして4時間放置すると、第2クラッド層15と第2の基板20とが直接接合される。尚、本実施例においては基板および各半導体層の組成および厚さは、例えば以下のようにする。

【0060】第1の基板10：n型GaAs、厚さ300μm、大きさ10×12mm<sup>2</sup>、  
第1のバッファ層11：n型GaAs、厚さ5μm、  
中間バンドギャップ層12：n型Al<sub>1-x</sub>Ga<sub>x</sub>As、厚さ0.2μm、  
第2のバッファ層41：n型ZnSSe、厚さ1μm、  
第1クラッド層13：n型ZnSe、厚さ1μm、  
発光層14：Zn<sub>0.8</sub>Cd<sub>0.2</sub>Se、厚さ15nm、  
第2クラッド層15：p型ZnSe、厚さ2μm、  
第2の基板20：p型ZnSe、厚さ300μm、大きさ10×12mm<sup>2</sup>、

次に、第1の基板10をエッチングによって厚さ10μmにする。次いで、Au等の表面電極25を第2の基板20の上面に蒸着した後、フォトリソグラフィによって円形にパターニングする。また、AuGe等の裏面電極26を第1の基板10の裏面全体に蒸着した後、フォトリソグラフィによってドット状のレジストパターン(実施例1の場合と同様)を形成し、レジストで覆われていない部分について裏面電極26、第1の基板10、第1のバッファ層11および中間バンドギャップ層12を除去する。裏面電極26上に形成したレジストパターンは取り除く。さらに、このような状態の第1の半導体層40部分の底面全体にAl等の反射膜19をスパッタ法で形成して本実施例の発光ダイオードを得る。

【0061】上述した発光ダイオードはダイシングによってチップに分割し、ステムに裏面電極26が接続するように導電性ペーストで接着する。次いで、ワイヤを表面電極25にボンディングした後、樹脂封止する。

【0062】第2クラッド層15と第2の基板20との境界面の様子を第2の基板20の上から光学顕微鏡で観察した結果、接合不良は境界面に僅かに残存していたゴミの周辺に限定されており、大部分の領域は均一に接合



されていた。接合の強度は、非常に強い力を加えるダイシング工程の後でもはがれない程であった。また、上記境界面の断面を超高解像度顕微鏡によって観察したところ、格子欠陥は上記境界面に多く見られ、また第2の基板20中にもやや見られたが、その他の部分にまで広がっていなかった。比較のため、接合前の第2の基板20の断面を観察したが、格子欠陥の密度は接合後と同程度であり、接合前から格子欠陥が生じていることが分かった。

【0063】本実施例においては、第2の基板20としてZnSeを使用した。このZnSeは、第1の基板10の材料であるGaAsと格子定数がきわめて近く、発光波長に対して透明であり、さらには第2クラッド層15と同じ組成であるので、最も適していると考えられる。ここで、ZnSeは単結晶としたが、多結晶としてもよく、その場合は低コストにできる。ZnSeの他に、ZnSおよびSiC等の青緑色発光の波長領域に対して透明な材料も使用し得る。また、GaPもこの波長領域では若干不透明となるが、バンドギャップが間接遷移型であり、光吸収係数が小さいため使用可能である。

【0064】尚、第2のクラッド層15の上にドーパント層17を薄く形成してもよい。材料としてはLiが好適に用いられるが、P、AsおよびSb等のV族の固体元素を用いてもよい。また、その場合には、光加熱を併用することにより接合温度の低減が可能である。尚、第2の基板20としてp型ZnSeを使用した場合には、接合面はZnSe同士となるので、ドーパント層17の材料としてはAl、GaおよびIn等のIII族固体元素を使用するとよい。

【0065】本実施例においては、第2の基板20と第2クラッド層15との接合温度を500℃としたが、200℃～700℃の範囲が適当である。

【0066】本実施例の場合、 $Zn_{1-x}Cd_xSe$ 発光層14のXを0.2としたが、Xの値は特に限定されず、例えばX=0のZnSeであってもよい。また、この発光層14は歪み量子井戸構造の他に、例えばZnSe/ZnCdSeの多重量子井戸構造であってもよい。

【0067】また、本実施例の場合、第2のバッファ層22はn型ZnSSeとしたが、そのほかにn型InGaAsであってもよく、またn型ZnS/ZnSe歪み超格子層としてもよい。

【0068】本実施例では、第1クラッド層13および第2クラッド層15を共にZnSeとしたが、このうちの少なくとも一方をMgZnSSeとすると、バンドギャップを大きくすることができるので、電子、ホールを発光層14にさらに有効に閉じ込めることができる。

【0069】さらに本実施例においては、各半導体層11、12、41、13、14、15をMBE法で形成したが、そのほかに例えばMOCVD法、MOMBE法、ガスソースMBE法、CBE法等で形成してもよい。各

半導体層の材料としては、上述した条件を満たす範囲内でII族元素としてCd、ZnおよびMg、VI族元素として、SeおよびS等から選択されたII-VI族半導体を用いることができる。

【0070】本実施例の場合、表面電極25としてAuを使用した。その他のp型オーミック電極を使用してもよい。また、裏面電極26としてAuGeを使用した。その他のn型オーミック電極を使用してもよい。

【0071】尚、その他に、本実施例においても実施例1および実施例2と同様の変更が可能である。

【0072】(実施例4) 図9は、本実施例の発光ダイオードの製造工程を示す断面図であり、図10は本実施例で得られる発光ダイオードの断面図である。

【0073】この発光ダイオードは実施例1と同じくAlGaInP系のものであるが、第2の基板20が半導体基板でなく誘電体基板である点が異なっている。このため、第2の基板20上に電極25を設けずに、第1の基板側を一部エッチングすることにより第2導電型の半導体層16から電極25を取り出している。また、発光層14を挟んでn型の第1の半導体層40とp型の第2の半導体層50とが対向した構造となっている。第1の半導体層40は、発光波長に対して不透明なn型の半導体からなる第1の半導体基板10の上に形成されており、バッファ層11と中間バンドギャップ層12と第1クラッド層13とから構成されている。一方、第2の半導体層は、第2クラッド層15とキャップ層16とから構成されている。第1の基板10の底面には電極26が形成されている。

【0074】このような構造を有する発光ダイオードは以下のようにして製造される。

【0075】まず、図9に示すように、表面の面方位が(100)であり、発光波長に対して不透明なn型の半導体からなる第1の半導体基板10の上に、n型バッファ層11、n型中間バンドギャップ層12、n型第1クラッド層13、アンドープ発光層14、p型第2クラッド層15およびp型キャップ層16をMOCVD法を用いて順次成長させる。

【0076】続いて、発光波長に対して透明なガラスからなる第2の基板20をp型キャップ層16の上に置く。ガラスからなる第2の基板は特定の方位を持たないので、置く方向は特に問わない。次いで、第2の基板20の上に、10g/cm<sup>2</sup>のおもり30を載せる。おもり30としてはグラファイトを使用した。その後、H<sub>2</sub>雰囲気下で温度を450℃に上げ、2時間放置する。これにより、p型キャップ層16と第2の基板20とは直接接合される。

【0077】尚、本実施例においては基板および各半導体層の組成および厚さは、例えば以下のようにする。

【0078】第1の基板10：n型GaAs、厚さ200μm、

バッファ層11: n型GaAs、厚さ1 $\mu$ m、  
 中間バンドギャップ層12: n型Ga<sub>0.5</sub>In<sub>0.5</sub>P、厚  
 さ0.1 $\mu$ m、  
 第1クラッド層13: n型Al<sub>0.5</sub>In<sub>0.5</sub>P、厚さ1 $\mu$   
 m、  
 発光層14: (Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P、厚さ  
 0.5 $\mu$ m、  
 第2クラッド層15: p型Al<sub>0.5</sub>In<sub>0.5</sub>P、厚さ1 $\mu$   
 m、  
 キャップ層16: p型GaP、厚さ2 $\mu$ m、  
 第2の基板20: ガラス、厚さ200 $\mu$ m。

【0079】次に、図10に示すように、第1の基板10をエッチングすることにより厚さ10 $\mu$ mにする。さらに、LEDチップの周辺部61において、第1の基板10~p型第2クラッド層15までを除去し、p型キャップ層16を露出させる。

【0080】続いて、LEDチップの中心部62にある第1の基板10上にn側電極26を形成し、LEDチップの周辺61において露出したp型キャップ層16の上にp側電極25を形成する。

【0081】さらに、これをダイシングによってチップに分割してステムに接着し、樹脂封止して発光ダイオードを完成する。

【0082】本実施例の発光ダイオードにおいては、キャップ層16と誘電体からなる第2の基板20とが直接接合されているが、接合状況は良好であり、非常に強い力を加えるダイシング工程の後でもはがれなかった。

【0083】第2の基板20としてはガラス基板の他に、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、MgOおよびそれらの化合物等の誘電体基板を用いることができる。

【0084】GaAs基板10の表面の面方位は(100)としたが、どの面方位を用いてもよい。

【0085】尚、その他に、本実施例においても実施例1および実施例2と同様の変更が可能である。

【0086】(実施例5) 図11は、本実施例の発光ダイオードの製造工程を示す断面図であり、図12は本実施例で得られる発光ダイオードの断面図である。

【0087】この発光ダイオードは実施例3と同じくZnCdSe系のものであるが、第2の基板20が半導体基板でなく誘電体基板である点が異なっている。このため、第2の基板20上に電極25を設けずに、第1の基板側を一部エッチングすることにより第2導電型の半導体層15から電極25を取り出している。また、発光層14を挟んでn型の第1の半導体層13とp型の第2の半導体層15とが対向した構造となっている。第1の半導体層13の底面には電極26が形成されている。

【0088】このような構造を有する発光ダイオードは以下のようにして製造される。

【0089】まず、図11に示すように、表面の面方位が(100)であり、発光波長に対して不透明なn型の

半導体からなる第1の基板10の上に、n型バッファ層11、n型第1クラッド層13、アンドープ発光層14、p型第2クラッド層15をMBE法を用いて順次成長させる。

【0090】続いて、表面の面方位が(1, 1, -2, 2)であり、発光波長に対して透明なサファイアからなる第2の基板20を、結晶軸のc軸をこの表面に投影した線が第1の基板10の劈開面に直交するように第2クラッド層15の上に置く。その上に100g/cm<sup>2</sup>のおもり30を載せる。この実施例では、おもり30としてMoを用いた。この状態で、H<sub>2</sub>雰囲気中、温度を500℃に上げ、波長488nmのArレーザ光を照射し、2時間放置する。このArレーザ光はサファイアからなる第2の基板20を透過し、p型第2クラッド層15に吸収される。これにより接合界面が効果的に加熱され、p型第2クラッド層15と第2の基板20とが直接接合される。尚、本実施例においては基板および各半導体層の組成および厚さは、例えば以下のようにする。

【0091】第1の基板10: n型GaAs、厚さ200 $\mu$ m、

第1のバッファ層11: n型GaAs、厚さ1 $\mu$ m、  
 第1クラッド層13: n型ZnSe、厚さ3 $\mu$ m、  
 発光層14: Zn<sub>0.8</sub>Cd<sub>0.2</sub>Se、厚さ15nm、  
 第2クラッド層15: p型ZnSe、厚さ2 $\mu$ m、  
 第2の基板20: サファイア、厚さ200 $\mu$ m。

【0092】次に、図12に示すように、第1の基板10およびn型バッファ層11を除去する。さらに、LEDチップの周辺部61において、第1の基板10~発光層14までを除去し、p型第2クラッド層15を露出させる。

【0093】続いて、LEDチップの中心部62にあるn型第1クラッド層13上にn側Au電極26を形成し、LEDチップの周辺61において露出したp型第2クラッド層キャップ層16の上にp側Au電極25を形成する。

【0094】さらに、これをダイシングによってチップに分割してステムに接着し、樹脂封止して発光ダイオードを完成する。

【0095】本実施例の発光ダイオードにおいては、第2クラッド層15と誘電体からなる第2の基板20とが直接接合されているが、接合状況は良好であり、非常に強い力を加えるダイシング工程の後でもはがれなかった。

【0096】本実施例では、接合時にArレーザ光照射を行って接合界面のみを効果的に加熱したが、通常の加熱で接合が可能な場合にはレーザ光照射を行わなくてもよい。

【0097】第2の基板20としてはサファイア基板の他に、多結晶アルミナ、ガラス、TiO<sub>2</sub>、MgOおよびそれらの化合物等の誘電体基板を用いることができ

る。

【0098】GaAs基板10表面の面方位を(100)、サファイア基板20の表面の面方位を(1, 1, -2, 2)としたが、GaAs基板10の面方位としては(111)B面または(111)A面を用いてもよく、その場合サファイア基板20の面方位としては(0001)面、即ちc面を用いることができる。また、この場合、GaAs基板10の面方位としては(111)B面または(111)A面から1~15°傾いた面を用いてもよい。尚、GaAs基板10とサファイア基板20の面方位の組み合わせは必ずしも上述の通りである必要はなく、例えばGaAs基板10として(100)面、サファイア基板として(0001)面を用いてもよい。

【0099】尚、その他に、本実施例においても実施例3と同様の変更が可能である。

【0100】

【発明の効果】以上の説明から明らかなように、本発明の発光ダイオードの製造方法においては、発光構造を積層する第1の基板の上に光外部出射効率を向上させるための第2の基板を接合する。このため、本発明によれば、不透明な半導体基板上に半導体層を成長させた方が良好な内部発光効率を得られる発光ダイオードにおいて、内部発光効率を劣化させることなく外部出射効率を向上させることができる。したがって、本発明は、発光ダイオードの高輝度化および生産性の向上に大いに役立つ。

【図面の簡単な説明】

【図1】本発明の実施例1に係る発光ダイオードの製造工程を示す断面図である。

【図2】本発明の実施例1で得られる発光ダイオードの断面図である。

【図3】本発明の実施例1の発光ダイオードの電極パターンを示す断面図である。

【図4】本発明の実施例2に係る発光ダイオードの製造

工程を示す断面図である。

【図5】本発明の実施例2で得られる発光ダイオードの断面図である。

【図6】本発明の実施例2に係る第2の半導体層40と第2の基板20との接合工程を説明する概略図である。

【図7】本発明の実施例3に係る発光ダイオードの製造工程を示す断面図である。

【図8】本発明の実施例3で得られる発光ダイオードの断面図である。

【図9】本発明の実施例4に係る発光ダイオードの製造工程を示す断面図である。

【図10】本発明の実施例4で得られる発光ダイオードの断面図である。

【図11】本発明の実施例5に係る発光ダイオードの製造工程を示す断面図である。

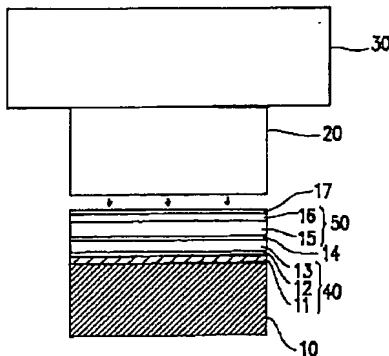
【図12】本発明の実施例5で得られる発光ダイオードの断面図である。

【図13】従来の発光ダイオードの断面図である。

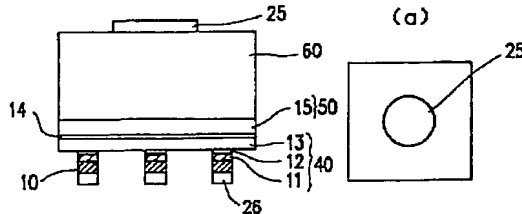
【符号の説明】

- |       |            |
|-------|------------|
| 10    | 第1の基板      |
| 11、41 | バッファ層      |
| 12    | 中間バンドギャップ層 |
| 13    | 第1クラッド層    |
| 14    | 発光層        |
| 15    | 第2クラッド層    |
| 16    | キャップ層      |
| 17    | ドーパント層     |
| 18    | エッチングストップ層 |
| 19    | 反射膜        |
| 20    | 第2の基板      |
| 21    | 溝          |
| 25、26 | 電極         |
| 30    | おもり        |
| 40    | 第1の半導体層    |
| 50    | 第2の半導体層    |

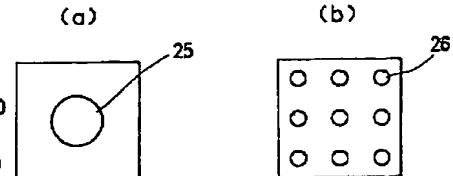
【図1】



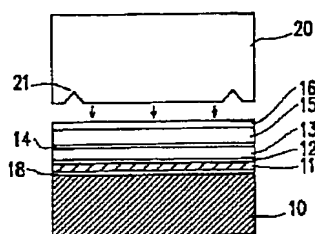
【図2】



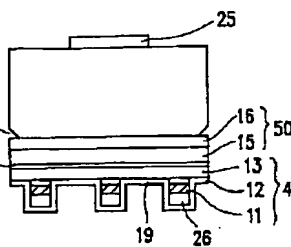
【図3】



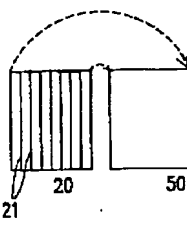
【図4】



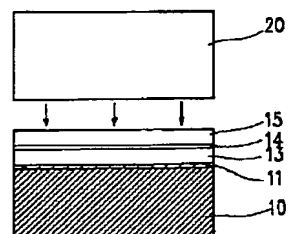
【図5】



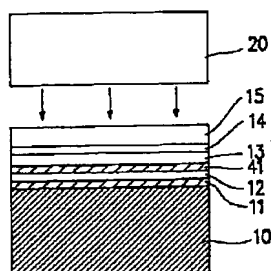
【図6】



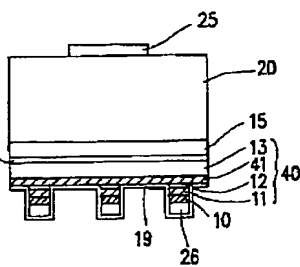
【図11】



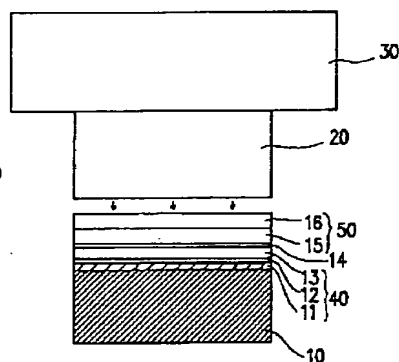
【図7】



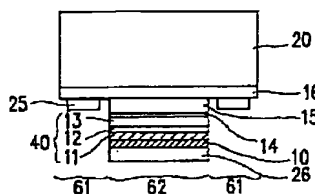
【図8】



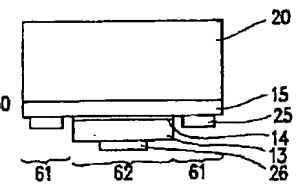
【図9】



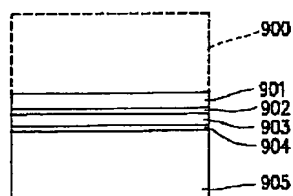
【図10】



【図12】






【図13】



Original document**BEST AVAILABLE COPY****MANUFACTURE OF LIGHT-EMITTING DIODE**

Patent number: JP6296040  
Publication date: 1994-10-21  
Inventor: WATANABE MASANORI; TAKIGUCHI HARUHISA  
Applicant: SHARP KK  
Classification:  
- international: **H01L33/00; H01L33/00**; (IPC1-7): H01L33/00  
- european:  
Application number: JP19930320334 19931220  
Priority number(s): JP19930320334 19931220; JP19930022946 19930210

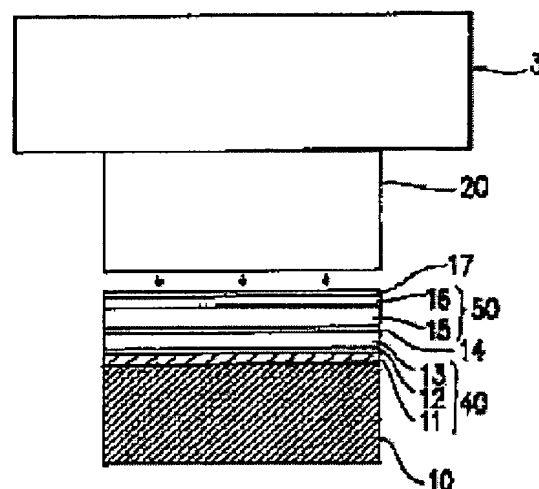
Also published :

 EP0611131  
 US5403916  
 EP0611131

[View INPADOC patent family](#)[Report a data error](#)**Abstract of JP6296040**

**PURPOSE:**To improve light emission efficiency without lowering internal emission efficiency, and to provide a light-emitting diode manufacturing method with which a light-emitting diode, having chemical stability and sufficient strength, can be manufactured by a relatively simple method.

**CONSTITUTION:**A buffer layer 11, an intermediate band gap layer 12, an N-type first semiconductor layer 40 consisting of the first clad layer 13, an undoped light-emitting layer 14, the second clad layer 15, a P-type second semiconductor layer 50, consisting of a cap layer 16, are epitaxially grown successively on an N-type first substrate 10. Then, a P-type second substrate 20 is placed on the second semiconductor layer 50, and they are junctioned. This junction is conducted by performing a heat treatment at high temperature in the state wherein pressure is added by a weight 30 on the second substrate 20. It is desirable that the direction of crystal axes of the second substrate 20 and the cap layer 16 are coincided with each other.

Data supplied from the *esp@cenet* database - WorldwideDescription of corresponding document: **EP0611131**

## BACKGROUND OF THE INVENTION

### 1. Field of the Invention:

The present invention relates to a method for producing a light emitting diode (hereinafter referred to as 'LED'), and more particularly to a method for producing an LED to be used for display and transmission purposes.

### 2. Description of the Related Art:

There has been a demand for a bright LED to be used for many applications including a display application. One approach to make a bright LED is to improve the external emission efficiency of the light emitting diode inside an LED.

An LED is made of semiconductor materials having high refractive indices, e.g. approximately to that of 3.5, which means total reflection can easily occur. Therefore, in the case where light is emitted from the plane face of the LED, only light which enters into the plane face at an angle less than the critical angle can propagate to the outside. Therefore, because of the total reflection, the external emission efficiency of an LED is usually not so high.

A common method for improving the external emission efficiency of an LED is to use a material capable of transmitting the generated light for a semiconductor substrate and to form a reflector on the back of the semiconductor substrate. In such an LED having a substrate transparent to the generated light, light reflected from the lower face of the semiconductor substrate can be emitted from the upper face, side face, etc., whereas only the light emitted from the upper face can be utilized in cases where the semiconductor substrate is made of a material which does not transmit the generated light. LEDs having a substrate transparent to the generated light are realized as infrared LEDs in which a semiconductor material of an InGaAsP-type is used, infrared and red LEDs in which a semiconductor material of an AlGaAs-type is used, yellow LEDs in which a semiconductor material of a GaAsP-type is used, and green LEDs in which a semiconductor material of a GaP-type is used.

On the other hand, there have been developed red, yellow, and green LEDs in which a semiconductor material of an AlGaInP-type is used, and green and blue LEDs in which a semiconductor material of a ZnCdSSe-type is used. However, the above-mentioned technique of forming the substrate with a material transparent to the generated light is not applicable to these LEDs, because the lattice-matching conditions are not satisfactory in such applications. Moreover, the internal emission efficiency of the above-mentioned LEDs in the case where a substrate that is opaque to generated light is used, tends to decrease because the substrates opaque to generated light are not suitable for these LEDs.

The internal emission efficiency of these LEDs can be improved by constituting their semiconductor substrates with a material opaque to generated light and growing the above-mentioned semiconductor materials on the substrates. However again, the external emission efficiency of such LEDs are inevitably lowered since the substrates that are opaque to generated light are used, as is described above.

Japanese Laid-Open Patent Publication No. 3-274770 discloses an LED having the configuration shown in Figure 13, in which the above-mentioned problems are solved. The LED is fabricated in the following manner: First, an n-AlInP first cladding layer 901, an undoped AlGaInP light emitting layer 902, an AlInP second cladding layer 903, a p-AlGaInP intermediate band gap layer 904, and a p-AlGaAs reflector layer 905 are grown on a first n-GaAs substrate 900 in this order, by the use of an MOCVD (Metal

Organic Vapor Phase Epitaxy) method. Next, the first n-GaAs substrate 900 is removed, and electrodes are formed. Thereafter, the LED structure is mounted on a stem, the p-AlGaAs retaining layer 905 being disposed at the bottom.

However, the above-mentioned fabrication method has the following problems: Firstly, an LED produced by this method requires the p-AlGaAs retaining layer to be formed very thick so that the overall LED maintain physical strength after the removal of the first n-GaAs substrate 900. This requires too much for the formation of the p-AlGaAs retaining layer 905 in cases where the above-mentioned MOCVD method is used. Secondly, in the case of an LED in which an  $\text{Al}_x\text{Ga}_{1-x}\text{As}$  ( $0 \leq x \leq 1$ ) retaining layer is used, it is necessary to set the content rate  $x$  at a value near 1 in order to ensure that the retaining layer is transparent even in cases where the generated light is of a short wavelength such as that in the green band. However, this leads to the problem in that the retaining layer is susceptible to oxidation in air, becoming chemically unstable.

## SUMMARY OF THE INVENTION

According to the present invention, a method for producing a light emitting diode includes the steps of forming a first semiconductor multilayer on a first semiconductor substrate having a first conductivity type; forming a light emitting layer on the first semiconductor multilayer; forming a second semiconductor multilayer including at least one second semiconductor layer having a second conductivity type; disposing a second substrate which is transparent to light emitted from the light emitting layer on the second semiconductor multilayer; and bonding the second substrate and the second semiconductor multilayer through direct bonding with heating in a vicinity of an interface between the second substrate and the second semiconductor multilayer.

In one embodiment of the invention, the second substrate is made of a semiconductor material having a second conductivity type.

In another embodiment of the invention, the second substrate is made of at least one selected from the group consisting of GaP, ZnSe, ZnS, and SiC.

In still another embodiment of the invention, the second substrate is made of a dielectric material.

In still another embodiment of the invention, the second substrate is made of at least one selected from the group consisting of  $\text{Al}_2\text{O}_3$ , glass,  $\text{TiO}_2$ , MgO, and a compound thereof.

In still another embodiment of the invention, the bonding step is conducted by applying a pressure from the side of at least one of the first substrate and the second substrate.

In still another embodiment of the invention, the disposing step is conducted in such a way that a crystal axis of the second substrate and a crystal axis of the second semiconductor multilayer are aligned with each other.

In still another embodiment of the invention, the second semiconductor multilayer includes a plurality of second semiconductor layers, and wherein one of the plurality of second semiconductor layers that is in contact with the second substrate has the same composition as that of the second substrate.

In still another embodiment of the invention, the method further includes the step of providing grooves at least one of a face of the second semiconductor multilayer and a face of the second substrate that is in contact with the second semiconductor layer, the grooves reaching at least one edge of at least one of the faces.

In still another embodiment of the invention, the method further includes the step of removing at least a portion of the first semiconductor substrate after bonding the second semiconductor multilayer and the second substrate.

In still another embodiment of the invention, the method further includes the steps of: forming an etch stopper layer between the first semiconductor substrate and the first semiconductor multilayer, the etch stopper layer having the first conductivity type and having a composition different from a composition of the first semiconductor multilayer; and removing the first semiconductor substrate until at least the etch stopper layer is exposed after the bonding step.

In still another embodiment of the invention, the method further includes the steps of: forming an electrode on a portion of a face of the first semiconductor substrate exposed after removing at least a portion of the first semiconductor substrate; and forming a reflective film on at least a portion of the exposed face of the first semiconductor substrate except where the electrode is formed.

In still another embodiment of the invention, the method further includes the steps of: forming an electrode on a portion of a face of the first semiconductor substrate exposed after removing at least a portion of the first semiconductor substrate; removing at least a portion of the first semiconductor substrate, the first semiconductor multilayer, and the light emitting layer to expose a portion of a face of the second semiconductor multilayer; and forming an electrode on a portion of an exposed face of the second semiconductor multilayer.

In still another embodiment of the invention, the method further includes the step of forming a dopant layer having the second conductivity type on at least one of a face of the second semiconductor multilayer and a face of the second substrate before the bonding step.

In still another embodiment of the invention, the heating is conducted by radiating light through the substrate, the light having a wavelength absorbable by the second semiconductor multilayer.

In still another embodiment of the invention, the heating is conducted by radiating light through the substrate, the light having a wavelength absorbable by the dopant layer.

According to another aspect of the invention, a method for producing a light emitting device includes the steps of: forming a semiconductor multilayer on a first substrate, the semiconductor multilayer including at least a light emitting layer; disposing a second substrate which is transparent to light emitted from the light emitting layer on the semiconductor multilayer; bonding the second substrate and the semiconductor multilayer through direct bonding with heating in a vicinity of an interface between the second substrate and the semiconductor multilayer; and removing at least part of the first substrate.

In a method for producing an LED according to the present invention, semiconductor layers including a light emitting layer are formed on a first substrate which is opaque to the light emitted from the light emitting layer but is almost lattice-matched with the semiconductor layers. Therefore, the light emitting layer emits light with a high internal efficiency. A second substrate is bonded above the first substrate, which a light emitting structure is layered, so as to improve an external emission efficiency. As a result, according to the present invention, an LED which inherently achieves a higher internal emission efficiency by forming semiconductor layers on a semiconductor substrate opaque to generated light can be allowed to have a high external emission efficiency without deteriorating the internal emission efficiency. Therefore, the present invention greatly contributes to the improvement of luminance and productivity of LEDs.

Thus, the invention described herein makes possible an advantage of providing a relatively simple method for producing a chemically stable LED with sufficient physical strength and improved external emission efficiency, without sacrificing the internal emission efficiency of the LED.

This and other advantages of the present invention will become apparent to those skilled in the art upon reading and understanding the following detailed description with reference to the accompanying figures.



## BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a cross-sectional view showing an LED in a step during a fabrication method according to a first example of the present invention.

Figure 2 is a cross-sectional view showing an LED obtained in a first example of the present invention.

Figure 3A is a cross-sectional view showing an electrode pattern for the LED according to a first example of the present invention.

Figure 3B is a cross-sectional view showing an electrode pattern for the LED according to a first example of the present invention.

Figure 4 is a cross-sectional view showing an LED in a step during a fabrication method according to a second example of the present invention.

Figure 5 is a cross-sectional view showing an LED obtained in a second example of the present invention.

Figure 6 is a schematic view showing a bonding process of a second semiconductor layer and a second substrate of an LED according to a second example of the present invention.

Figure 7 is a cross-sectional view showing an LED in a step during a fabrication method according to a third example of the present invention.

Figure 8 is a cross-sectional view showing an LED obtained in a third example of the present invention.

Figure 9 is a cross-sectional view showing an LED in a step during a fabrication method according to a fourth example of the present invention.

Figure 10 is a cross-sectional view showing an LED obtained in a fourth example of the present invention.

Figure 11 is a cross-sectional view showing an LED in a step during a fabrication method according to a fifth example of the present invention.

Figure 12 is a cross-sectional view showing an LED obtained in a fifth example of the present invention.

Figure 13 is a cross-sectional view showing a conventional LED.

## DESCRIPTION OF THE PREFERRED EMBODIMENTS

Hereinafter, the present invention will be described by way of examples, with reference to the accompanying drawings. Like components will be indicated by like numerals throughout Figures 1 to 13 unless specified otherwise.

### Example 1

Figure 1 shows a cross section of an LED in a step during fabrication according to the present example. Figure 2 shows a cross section of the LED produced by a method of the present invention.

As is shown in Figure 2, an AlGaInP-type LED of the present example includes an n-type first semiconductor multilayer 40 and a p-type second semiconductor multilayer 50 opposing each other, light emitting layer 14 interposed therebetween. The first semiconductor multilayer 40, which is composed of a buffer layer 11, an intermediate band gap layer 12, and a first cladding layer 13, is formed on a first substrate 10 made of an n-type semiconductor material opaque to the generated light. The second semiconductor multilayer 50 is composed of a second cladding layer 15 and a capping layer (not shown). The capping layer and a second substrate (not shown) formed thereupon, which are made of a p-type semiconductor material transparent to the generated light, integrally define a retaining layer 60. Back electrodes 26 are formed on the lower face of the first substrate 10. A frontside electrode 25 is formed on the upper face of the retaining layer 60.

The LED having the above-mentioned configuration is fabricated in the following manner, according to the present example:

First, as is shown in Figure 1, the buffer layer 11, the intermediate band gap layer 12, the first cladding layer 13, the undoped light emitting layer 14, the second cladding layer 15, and the capping layer 16 are epitaxially grown, in this order, on a surface of the first substrate 10 made of the n-type semiconductor material opaque to the light emitted from the light emitting layer 14, by an MOCVD method. The surface of the first substrate 10 is the (100) plane. Next, a dopant layer 17 is formed on the capping layer 16 by a vacuum evaporation method. The dopant layer 17 is made of Zn and has a thickness of 5 nm.

Then, a surface of the second substrate 20 having the (100) plane is subjected to a slight etching treatment etc. The second substrate 20 is made of the same material as that of the capping layer 16 and can transmit the light emitted from the light emitting layer 14. The second substrate 20 is disposed on the capping layer 16 in such a way that the etched surface of the second substrate 20 is in contact with the capping layer 16 and that the crystal axes of the second substrate 20 are aligned with the crystal axes of the capping layer 16. Next, a weight 30 (10 g/cm<sup>2</sup>) made of carbon whose surface is treated so as to be rough is disposed on the second substrate 20. Herein, the term 'crystal axis' means the orientation flat direction, or the direction of the cleavage plane.

Thereafter, the above-mentioned LED structure is heated to 650 DEG C under a hydrogen (H<sub>2</sub>) atmosphere, and is irradiated with a YAG (Yttrium Aluminum Garnet) laser beam through the second substrate 20, and is left for 2 hours. Thus, the second semiconductor multilayer 50 and the second substrate 20 are bonded through direct bonding. After the bonding of the second semiconductor multilayer 50 to the second substrate 20, the dopant layer 17 disappears due to diffusion of the zinc to the second substrate 20 and to the capping layer 16. As a result, the capping layer 16 and the second substrate 20 are integrated to constitute the retaining layer 60, as is shown in Figure 2.

In the present example, the sizes, thicknesses, and compositions of the substrates 10 and 20 and the semiconductor layers may be those shown below, for example:

The first substrate 10: (composition) n-GaAs; (thickness) 300 μm; (size) 10 x 12 mm<sup>2</sup>.

The buffer layer 11: (composition) n-GaAs; (thickness) 2 μm.

The intermediate band gap layer 12: (composition) n-Ga<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 0.1 μm.

The first cladding layer 13: (composition) n-Al<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 1 μm.

The light emitting layer 14: (composition) (Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 0.5 μm.

The second cladding layer 15: (composition) p-Al<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 1 μm.

The capping layer 16: (composition) p-GaP; (thickness) 2 μm.

The second substrate 20: (composition) p-GaP; (thickness) 300  $\mu\text{m}$ ; (size) 10 x 12 mm<2>.

Next, the first substrate 10 is etched so as to be left with a thickness of 10  $\mu\text{m}$ . Then, the front-side electrode 25 made of AuZn is deposited on the upper face of the second substrate 20 by evaporation, patterned into a circular shape by a photolithography technique, as is shown in Figure 3A. The back-electrode 26 made of AuGe is deposited on the lower face of the first substrate 10. Thereafter, a resist pattern having a dot pattern is formed on the back-side electrode 26 by a photolithography technique shown in Figure 3B. Portions of the back-side electrode 26, the first substrate 10, the buffer layer 11, the intermediate band gap layer 12 which are not covered by the resist pattern are removed. Thereafter, the resist pattern is also removed.

The above-described LED structure is divided into chips by dicing. Each chip is attached to a stem by means of an electrically conductive paste in such a way that the back-side electrodes 26 are electrically connected to the stem. Next, wires are bonded on the front-side electrode 25. Then, each chip is sealed with resin.

The interface between the capping layer 16 and the second substrate 20 which constitute the retaining layer 60 was observed from above the retaining layer 60 by means of an optical microscope. It was confirmed that junction defects were present only in the vicinity of a small amount of dusts remaining in the interface and that the junction between the capping layer 16 and the second substrate 20 had uniformly been achieved for the most part. The strength of the bonding was such that no peeling occurred after the dicing step, during which a very large force is applied to the LED structure.

The lattice constants of the GaAs used for the first substrate 10 and the GaP used for the second substrate 20 are, respectively, 5.653 angstroms and 5.451 angstroms, making a difference of 3.7% (based on the lattice constant of the GaP). In view of the possible occurrence of lattice defects owing to the 3.7% difference in lattice constants, a cross section of the interface between the capping layer 16 and the second substrate 20 was observed by means of an ultra-high-resolution microscope. While some lattice defects were found in the capping layer 16 and the interface, none was observed in the other portions. As a comparative example, an LED was fabricated in which a p-GaP layer was grown to a large thickness in place of a retaining layer by the use of an MOCVD method, whose cross section was observed. A number of lattice defects were found in the overall p-GaP layer, indicative of the relative advantage of the fabrication method of the present invention.

There arises a notch at the interface of the second substrate 20 and the capping layer 16 due to band discontinuity. The dopant layer 17 is provided in the interspace between the capping layer 16 and the second substrate 20 so as to reduce electric resistance caused by the notch at the interface. Zn, or another group II element of the periodic table is used for the dopant layer 17 in the present example, while S and Te, which are the group VI elements of the periodic table, may alternatively be used in the case where the second substrate 20 and the capping layer 16 have n-type conductivities.

Although the thickness of the dopant layer 17 is 5 nm in the present example, it may be any value with preferably the same as or less than 100 nm so that the dopant layer 17 can disappear due to diffusion between the capping layer 16 and the second substrate 20 are bonded through direct bonding. Furthermore, the dopant layer 17 need not be provided at all.

The method of the present example has an advantage in that semiconductor properties of the obtained device do not deteriorate due to the overheating of the internal semiconductor structure thereof, because light having a wavelength absorbable by the dopant layer 17 is used for the irradiation so as to only locally heat the bonding interface between the dopant layer 17 and the second substrate 20. Although a YAG laser is used as a light source in the present example, a halogen lamp, an Ar laser, and a CO<sub>2</sub> laser may alternatively be used as long as light of a wavelength transmittable through the second substrate 20 is generated. Although the light-induced heating is conducted through the second substrate 20 in the present example, it may alternatively be conducted through the first substrate 10. It is also applicable to conduct a conventional

heating instead of the light-induced heating.

The bonding between layers improves as the temperature at which the bonding is conducted increases; however, the temperature should not be too high so as not to destroy the semiconductor layer structure of the LED. Accordingly, the temperature range should preferably be in the range of room temperature to 300 DEG C in the case of light-induced heating, and in the range of 300 DEG C to 900 DEG C in the case of conventional heating. Although a hydrogen (H<sub>2</sub>) atmosphere is used in the present example, an atmosphere of vacuum, PH<sub>3</sub>, AsH<sub>3</sub>, alkyl phosphines, or alkyl arsines may suitably be used. Also applicable are atmospheres of N<sub>2</sub>, dry air, Ar, etc. The weight 30 is dispensable in the bonding process. However, it is preferable to use a weight as long as the substrates are not destroyed thereby, e.g. a weight in the range of 10 kg/cm<sup>2</sup>, in view of possible dislocation of layers due to physical vibration and warping of the substrates.

Although the second substrate 20 is made of GaP in the present example, it may alternatively be made of ZnSe, ZnS, SiC, etc. as long as it is capable of transmitting the generated light. The surface treatment may also be conducted for the capping layer 16 as well as for the second substrate 20, or, in the alternative, may be conducted at all. Although the surface treatment is conducted by etching in the present example, it may alternatively be conducted by a washing process with purified water, for example.

Although the surface of the first substrate 10 is prescribed to be the (100) plane in the present example, the present invention intends to provide no restrictions therefor. For example, it is also applicable to use a surface orientation tilting from the (100) plane by 1 to 15 DEG. The (111) A plane and the (111) B plane can, similarly, be used. The conductivity of the first substrate 10 may alternatively be a p-type, in which case the respective conductivities of the layers 11 to 16 and the second substrate 20 are to be reverse for the removal of the first substrate 10, it may be conducted by lapping instead of etching, or may not be conducted at all in the alternative.

The surface orientations of the first and second substrates 10 and 20 do not need to be identical. For example, it has been confirmed that a sufficient bonding was realized in the case where the surface orientation of the first substrate 10 may be tilted by 10 DEG from the (100) plane, the surface orientation of the second substrate 20 being the (100) plane. The crystal orientations of the first and second substrates 10 and 20 do not need to be aligned with each other, either. For example, it has been confirmed that sufficient bonding was realized in the case where the [011] orientation of the first substrate 10 is dislocated by 1 to 2 DEG from the [011] orientation of the second substrate 20. It is possible to achieve bonding in cases where the crystal orientations of the first substrate 10 is dislocated more drastically, e.g. 45 DEG from that of the second substrate 20.

The capping layer 16 allows the bonding of the second semiconductor multilayer 50 and the second substrate 20 to be done easily and rapidly, and at a low temperature. Although it is possible to achieve bonding without forming the capping layer 16, in which case the cladding layer 15 comes on top of the layers in the second semiconductor multilayer 50, it is preferable to provide the capping layer 16, which makes for a better bonding.

The buffer layer 11 is provided in the interspace between the first substrate 10 and the intermediate band gap layer 12 so as to achieve a good crystal growth in the present example. However, the buffer layer is dispensable. The intermediate band gap layer 12 is provided so as to minimize electrical resistance which would occur in an interface between the buffer layer 11 and the first cladding layer 13 in the case where they are in direct contact with each other and makes a notch due to band discontinuity. However, the layer 11 may alternatively be a layer made of AlGaAs, or not be provided at all.

Although the front-side electrode 25 and the back-side electrodes 26 are made of AuZn and AuGe, respectively, it is also applicable to incorporate a p-side ohmic electrode and an n-side ohmic electrode of other kinds. Moreover, the front-side electrode 25 and the back-side electrodes 26 may constitute an arbitrary pattern.

Although the semiconductor layers 11 to 16 are formed by an MOCVD method in the present example, they may alternatively be formed by methods such as an MBE (Molecular Beam Epitaxy), a gas source MBE, an MOMBE (Metal Organic Molecular Beam Epitaxy), and a CBE (Chemical Beam Epitaxy) junction at the interface of the light emitting portion of the LED is not limited to a double heterojunction but may alternatively be a single heterojunction or a homojunction.

## Example 2

Figure 4 shows a cross section of an LED in a step during fabrication according to the present example. Figure 5 shows a cross section of the LED produced by a method of the present invention.

As is shown in Figure 5, the AlGaInP-type LED of the present example includes an n-type first semiconductor multilayer 40 and a p-type second semiconductor multilayer 50 opposing each other, a light emitting layer 14 interposed therebetween. The first semiconductor multilayer 40, which is composed of a buffer layer 11, an intermediate band gap layer 12, and a first cladding layer 13, is formed on a first substrate 10 made of an n-type semiconductor material opaque to any generated light. The second semiconductor multilayer 50 is composed of a second cladding layer 15 and a capping layer 16. On an upper face of the second semiconductor layer 50, there is formed a second substrate 20 which is made of a p-type semiconductor material transparent to the generated light. Grooves 21 are provided in one face of the second substrate 20 that is in contact with the second semiconductor multilayer 50. Back-side electrodes 26 are formed on the lower face of the buffer layer 11. A reflective film 19 is formed so as to cover an entire area of the back (lower) face of the LED. A front-side electrode 25 is formed on the upper face of the second substrate 20.

The LED having the above-mentioned configuration is fabricated in the following manner, according to the present example:

First, as is shown in Figure 4, an n-type etching stopper layer 18, the buffer layer 11, the intermediate band gap layer 12, the first cladding layer 13, the undoped light emitting layer 14, the second cladding layer 15 and the capping layer 16 are epitaxially grown, in this order, on a surface of the first substrate 10 made of the n-type semiconductor material opaque to the light emitted from the light emitting layer 14, by an MOCVD method. The surface of the first substrate 10 is the (100) plane.

Then, as is shown in Figure 6, the grooves 21 are provided in a face of the second substrate 20 by wet etching. The surface of the second substrate 20 is the (100) plane and will be in contact with the second semiconductor multilayer 50. The grooves 21 each reach the edges of the second substrate 20, and are formed at intervals of 300  $\mu\text{m}$  from one another. Moreover, the grooves 21 are made so as to be aligned with dicing lines in the step of dividing the LED structure into chips (as will be described below). Then, the surface of the second substrate 20 is subjected to a slight etching treatment, etc. Subsequently, as shown in Figures 4 and 6, the second substrate 20 is disposed on the second semiconductor multilayer 50 in such a way that the crystal axes of the second substrate 20 and the second semiconductor multilayer 50 are aligned with each other. Next, a weight 30 (100 g/cm<sup>2</sup>) is disposed on the second substrate 20.

Thereafter, the above-mentioned LED structure is heated to 500 DEG C in an mixed atmosphere of H<sub>2</sub> and H<sub>2</sub>, and is left for 4 hours. Thus, the second semiconductor multilayer 50 and the second substrate 20 are bonded through direct bonding.

In the present example, thicknesses and compositions of the substrates 10 and 20 and the other semiconductor layers may be those shown below, for example:

The first substrate 10: (composition) n-GaAs; (thickness) 300  $\mu\text{m}$ ;

The etching stopper layer 18: (composition) Al<sub>0.5</sub>Ga<sub>0.5</sub>As; (thickness) 2  $\mu\text{m}$ .

The buffer layer 11: (composition) n-GaAs; (thickness) 2  $\mu$ m.

The intermediate band gap layer 12: (composition) n-Ga<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 20  $\mu$ m.

The first cladding layer 13: (composition) n-(Al<sub>0.7</sub>In<sub>0.3</sub>P)<sub>0.5</sub>In<sub>0.5</sub>; (thickness) 1  $\mu$ m.

The light emitting layer 14: (composition) (Al<sub>0.4</sub>Ga<sub>0.6</sub>)<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 1  $\mu$ m.

The second cladding layer 15: (composition) P-(Al<sub>0.7</sub>In<sub>0.3</sub>P)<sub>0.5</sub>In<sub>0.5</sub>P; (thickness) 1  $\mu$ m.

The capping layer 16: (composition) p-GaP; (thickness) 2  $\mu$ m.

The second substrate 20: (composition) p-GaP; (thickness) 300  $\mu$ m.

Next, the first substrate 10 is etched away by using a selective etchant (a mixed solution of ammonia hydrogen peroxide and water) incapable of etching the etching stopper layer 18 which is disposed on the first substrate 10. Then, the etching stopper layer 18 is etched away by using a selective etchant (hydrofluoric acid) incapable of etching the buffer layer 11 which is disposed on the etching stopper layer 18. Then, the front-side electrode 25 is deposited on the upper face of the second substrate 20 by evaporation, and is patterned into a circular shape by a photolithography technique, as is shown in Figure 3A. The back-side electrode 26 is deposited on the entire lower face of the buffer layer 11 by evaporation. Thereafter, a resist pattern having a dot pattern is formed on the back-side electrode 26 by a photolithography technique, as is shown in Figure 3B. Portions of the back-side electrode 26, the buffer layer 11, and the intermediate band gap layer 12 which are not covered by the resist pattern are removed. Thereafter, the resist pattern formed on the back-side electrodes 26 is also removed. Furthermore, the reflective film 19, made of Al or the like, is formed on the entire lower face of the first semiconductor multilayer 40 as is described above, by the use of a sputtering method.

The above-described LED structure is divided into chips by dicing. Each chip is attached to a stem by means of an electrically conductive paste in such a way that the back-side electrodes 26 are connected to the stem. Next, wires are bonded on the front-side electrode 25. Then, each chip is sealed with resin.

In the present example, the grooves 21 reaching the edges of the second substrate 20 are provided in the bonding interface of the second substrate 20 so that voids (bubbles) and impurities will easily be eliminated. Gas remaining in the bonding interface, which contains such impurities, are lead through grooves 21 to the outside so as to be thus eliminated. Although the grooves 21 are formed in a stripe shape and in a single direction in the present example, it is also applicable to form the grooves 21 in a mesh shape consisting of ranks and files. The grooves 21 do not need to be formed so as to correspond to the dicing lines as in the present example. The grooves 21 may alternatively be formed in the second semiconductor multilayer 50 or the first substrate 10. In that case, the grooves 21 are to be formed after the second cladding layer 15 is formed or before the etching stopper layer 18 is formed.

In the present example, the etching stopper layer 18 having a composition different from the first substrate 10 is formed on the first substrate 10. As a result, the first substrate 10 is selectively etched with high accuracy and with facility, independent of the etching time. The etching stopper layer 18 does not need to be removed, in which case the buffer layer 11 is not necessary. There is no limitation to the material of the etching stopper layer 18 according to the present example, as long as the material has a composition different from both of the compositions of the first and second substrates 10 and 20 (i.e. GaAs). For example, Ga<sub>0.5</sub>In<sub>0.5</sub>P may suitably be used for the etching stopper layer 18.

According to the present example, light which reaches the lower face of the n-side (first) semiconductor multilayer 40 is reflected so as to be utilized, because the first substrate 10 is opaque to the generated light and is not removed. Thus, the external emission efficiency can be improved. This effect is further enhanced by forming the reflective film 19 after the formation of the back-side electrodes 26, as in the present example.

Although a similar effect can be obtained at the lower face of an LED where the LED is attached to; usually by means of an Ag paste, incorporation of the reflective film 19 has an advantage of further increasing the reflectance of the light at the lower face of the LED. When the reflective film 19 is a n film made of Al or the like, as in the present example, an applied current flows by way of the back-side electrodes 26, since no ohmic contact is provided between the reflective film 19 and the backside electrodes 26 and the first cladding layer 13 as one of the semiconductor layers. The reflective film 19 alternatively be made of, instead of a metal film, a dielectric multilayer film such as a multilayer film alternating TiO<sub>2</sub> layers and SiO<sub>2</sub> layers. In that case, it is necessary to remove a part of the reflective film 19 on the back-side electrodes 26.

The present example also permits the modifications applicable to Example 1.

### Example 3

Figure 7 shows a cross section of an LED in a step during fabrication according to the present example. Figure 8 shows a cross section of the LED produced by a method of the present example.

As is shown in Figure 8, the ZnCdSe-type LED of the present example includes an n-type first semiconductor multilayer 40 and a second cladding layer 15 serving as a p-type second semiconductor multilayer that oppose each other, with a light emitting layer 14 interposed therebetween. The n-type semiconductor multilayer 40, which is composed of a first buffer layer 11, an intermediate band gap layer 12, a second buffer layer 41 and a first cladding layer 13, is formed on a first substrate 10 made of a p-type semiconductor material opaque to any generated light. The light emitting layer 14 has a strained quantum well structure. On the upper face of the second cladding layer 15, there is formed a second substrate 20 which is made of a p-type semiconductor material transparent to the generated light. Back electrodes 26 are formed on the lower face of first substrate 10. A reflective film 19 is formed so as to cover the entire area of the back (lower) face of the LED. A front-side electrode 25 is formed on the face of the second substrate 20.

The LED having the above-mentioned configuration is fabricated in the following manner, according to the present example:

First, as is shown in Figure 7, the first buffer layer 11, the intermediate band gap layer 12, the second buffer layer 41, the first cladding layer 13, the undoped strained quantum well structure light emitting layer 14, and the second cladding layer 15 are grown, in this order, on a surface of the first substrate 10 made of n-type semiconductor material opaque to the light emitted from the light emitting layer 14, by an MBE method. The surface of the first substrate 10 is the (100) plane.

Then, a surface of the second substrate 20 made of the p-type semiconductor material transparent to generated light is subjected to a slight etching treatment, etc. The surface of the second substrate 20 is the (100) plane. Subsequently, the second substrate 20 is disposed on the second cladding layer 15 from the first substrate 10, in such a way that the crystal axes of the second substrate 20 and the second cladding layer 15 are aligned with each other.

Thereafter, the above-mentioned LED structure is heated to 500 DEG C in an mixed atmosphere of H<sub>2</sub> and H<sub>2</sub>, and is left for 4 hours. Thus, the second cladding layer 15 and the second substrate 20 are bonded through direct bonding.

The first substrate 10: (composition) n-GaAs; (thickness) 300  $\mu$ m; (size) 10 x 12 mm<2>.

The first buffer layer 11: (composition) n-GaAs; (thickness) 5  $\mu$ m.

The intermediate band gap layer 12: (composition) n-Al<sub>x</sub>Ga<sub>1-x</sub>As; (thickness) 0.2  $\mu$ m.

The second buffer layer 41: (composition) n-ZnSSe; (thickness) 1  $\mu$ m.

The first cladding layer 13: (composition) n-ZnSe; (thickness) 1  $\mu$ m.

The light emitting layer 14: (composition) Zn<sub>0.8</sub>Cd<sub>0.2</sub>Se; (thickness) 15 nm.

The second cladding layer 15: (composition) p-ZnSe; (thickness) 2  $\mu$ m.

The second substrate 20: (composition) p-ZnSe; (thickness) 300  $\mu$ m; (size) 10 x 12 mm<2>.

Next, the first substrate 10 is etched so as to be left with a thickness of 10  $\mu$ m. Then, the front-side electrode 25 is deposited on the upper face of the second substrate 20 by evaporation, and is patterned into a circular shape by a photolithography technique, as is shown in Figure 3A. The back-side electrode made of AuGe or the like is deposited on the lower face of the first substrate 10 by evaporation. Then, a resist having a dot pattern is formed on the back-side electrode 26 by a photolithography technique shown in Figure 3B. Portions of the back-side electrode 26, the first substrate 10, the first buffer layer 11, and the intermediate band gap layer 12 which are not covered by the resist pattern are removed. Then, the resist pattern formed on the back-side electrode 26 is also removed. Furthermore, the reflective layer 19, made of Al or the like, is formed on the entire lower face of the first semiconductor multilayer 40 described above, by the use of a sputtering method.

The above-described LED structure is divided into chips by dicing. Each chip is attached to a stem by means of an electrically conductive paste in such a way that the back-side electrodes 26 are connected to the stem. Next, wires are bonded on the front-side electrode 25. Then, each chip is sealed with resin.

The interface between the second cladding layer 15 and the second substrate 20 which constitute the retaining layer 60 was observed from above the second substrate 20 by means of an optical microscope. It was confirmed that junction defects were present only in the vicinity of a small amount of dusts remaining in the interface, and that the bonding between the second cladding layer 15 and the second substrate 20 had uniformly been achieved for the most part. The strength of the bonding was such that no peeling occurred after the dicing step, during which a very large force is applied to the LED structure. A cross section of the interface between the second cladding layer 15 and the second substrate 20 was observed by means of an ultrahigh-resolution microscope. As a result, a number of lattice defects were found in the interface between the second cladding layer 15 and the second substrate 20. However, no lattice defects were observed in the other portions. As a comparative example, a cross section of the second substrate 20 was observed before the bonding of the second cladding layer 15 and the second substrate 20. It was confirmed that lattice defects were present at the same density as after the bonding of the second cladding layer 15 and the second substrate 20, indicating that the lattice defects had occurred before the bonding.

In the present example, ZnSe is used for the second substrate 20. ZnSe has a lattice constant very similar to that of GaAs, which constitutes the first substrate 10, and is capable of transmitting the generated light. Moreover, the second cladding layer 15 is also made of ZnSe. Therefore, it is considered that ZnSe is one of the most suitable materials for the second substrate 20. Although the ZnSe used in the present example is of a single crystal structure, that of a polycrystal structure may alternatively be used. This would contribute to the reduction of the fabrication costs. Materials capable of transmitting light in a blue-green wavelength band, e.g. ZnS and SiC, may alternatively be used in the place of ZnSe. GaP, which is less capable of transmitting light in this wavelength band, is also applicable because the bandgap thereof is of an indirect transition type and the light absorption coefficient thereof is small.

A dopant layer (not shown) may be formed with a small thickness on the second cladding layer 15. In addition, another group I element of the periodic table may suitably be used for such a dopant layer, while a group V element of the periodic table, such as P, As, and Sb, are also applicable. In that case, it is possible to reduce the bonding temperature by utilizing light-induced heating along with a conventional heating treatment. In cases where the second substrate 20 is made of p-ZnSe, which means ZnSe and ZnSe face each other,



bonding interface, it is preferable to form the dopant layer made of a group III element of the periodic table, such as Al, Ga, and In.

Although the second substrate 20 and the second cladding layer 15 are bonded at a temperature at 50 DEG C, the bonding can suitably be conducted in a broader range of 200 DEG C to 700 DEG C.

Although a composite ratio  $x$  of the  $\text{Zn}_{1-x}\text{Cd}_x\text{S}$  light emitting layer 14 is 0.2 in the present example, is no limitation to the value of  $x$ . For example,  $x$  may be zero, in which case the light emitting layer made of ZnSe. The light emitting layer 14 may alternatively have a quantum well structure consisting of ZnSe/ZnCdSe, instead of a strained quantum well structure.

Although the second buffer layer 22 is made of n-ZnSSe in the present example, it may alternatively be made of n-InGaAs. Furthermore, the second buffer layer 22 may be a strained super lattice layer of ZnS/ZnSe.

The first cladding layer 13 and the second cladding layer 15 are both made of ZnSe in the present example. However, it is also applicable to use MgZnSSe for at least one of the first and second cladding layers 13 and 15; this means an increased bandgap, which makes it possible to confine electrons and holes within the light emitting layer 14 at an increased efficiency.

Although the semiconductor layers 11, 12, 13, 14, and 15 are formed by an MBE method, an MOCBE method, an MOMBE method, a gas source MBE method, a CBE method, etc. are also applicable. Each semiconductor layer may be formed, as long as the above-described conditions therefor are satisfied. Each semiconductor material consisting of one selected from such group II elements of the periodic table as Mg, Cd and Zn and one selected from such group VI elements of the periodic table as Te, Se and S.

Although the front-side electrode 25 is made of Au, other p-type ohmic electrodes may alternatively be used. Although the back-side electrodes 26 are made of AuGe, other n-type ohmic electrodes may alternatively be used.

The present example also permits the modifications applicable to Example 1 and Example 2.

#### Example 4

Figure 9 shows a cross section of an LED in a step during fabrication according to the present example. Figure 10 shows a cross section of the LED produced by a method of the present example.

The LED of the present example is of an AlGaInP-type, the same as the LED of Example 1, but is different from the LED of Example 1 in that a second substrate 20 is a dielectric substrate instead of a semiconductor substrate. Therefore, an electrode 25 is provided on a capping layer 16 by partially etching the first substrate side of the LED structure, instead of providing the electrode 25 on the second substrate 20. As is shown in Figure 10, the LED of the present example includes an n-type first semiconductor multilayer 40 and a p-type second semiconductor multilayer 50 opposing each other, with a light emitting layer 14 interposed therebetween. The first semiconductor multilayer 40, which is composed of a buffer layer 11, an intermediate band gap layer 12, and a first cladding layer 13, is formed on a first substrate made of an n-type semiconductor material incapable of transmitting the generated light. The second semiconductor multilayer 50 is composed of a second cladding layer 15 and the capping layer 16. An electrode 26 is formed on the lower face of the first substrate 10.

The LED having the above-mentioned configuration is fabricated in the following manner, according to the present example:

First, as is shown in Figure 9, the n-type buffer layer 11, the intermediate band gap layer 12, the n-type

first cladding layer 13, the undoped light emitting layer 14, the p-type second cladding layer 15, and type capping layer 16 are grown, in this order, on a surface of the first substrate 10 made of the n-type semiconductor material opaque to the generated light by an MOCVD method. The surface of the first substrate 10 is the (100) plane.

Then, the second substrate 20 made of a glass capable of transmitting the generated light is placed on p-type capping layer 16. There is no restriction as to the direction in which the second substrate 20 is disposed, since the second substrate 20 is made of glass, which has no structural orientations. Next, weight 30 ( $10 \text{ g/cm}^2$ ) made of graphite is disposed on the second substrate 20. Thereafter, the above mentioned LED structure is heated to  $450^\circ \text{C}$  in an  $\text{H}_2$  atmosphere, and is left for 2 hours. Thus, type capping layer 16 and the second substrate 20 are bonded through direct bonding.

In the present example, the thicknesses and compositions of the substrates 10 and 20 and the other semiconductor layers may be those shown below, for example:

The first substrate 10: (composition) n-GaAs; (thickness)  $200 \text{ }\mu\text{m}$ .

The buffer layer 11: (composition) n-GaAs; (thickness)  $1 \text{ }\mu\text{m}$ .

The intermediate band gap layer 12: (composition) n-Ga<sub>0.5</sub>In<sub>0.5</sub>P; (thickness)  $0.1 \text{ }\mu\text{m}$ .

The first cladding layer 13: (composition) n-Al<sub>0.5</sub>In<sub>0.5</sub>P; (thickness)  $1 \text{ }\mu\text{m}$ .

The light emitting layer 14: (composition) (Al<sub>0.2</sub>Ga<sub>0.8</sub>)<sub>0.5</sub>In<sub>0.5</sub>P; (thickness)  $0.5 \text{ }\mu\text{m}$ .

The second cladding layer 15: (composition) p-Al<sub>0.5</sub>In<sub>0.5</sub>P; (thickness)  $2 \text{ }\mu\text{m}$ .

The capping layer 16: (composition) p-GaP; (thickness)  $2 \text{ }\mu\text{m}$ .

The second substrate 20: (composition) glass; (thickness)  $200 \text{ }\mu\text{m}$ .

Next, the first substrate 10 is etched so as to be left with a thickness of  $10 \text{ }\mu\text{m}$ . Moreover, the first substrate 10 and the semiconductor layers 11 to 15 are removed in a peripheral portion 61 of the LED structure so as to expose the p-type capping layer 16.

Then, the n-side electrode 26 is formed on a portion of the first substrate 10 remaining in the center 62 of the LED structure. The p-side electrode 25 is formed on the exposed portion of the p-type capping layer 16 located in the peripheral portion 61 of the LED structure.

The above-described LED structure is divided into chips by dicing. Each chip is attached to a stem. Each chip is sealed with resin to form an LED.

In the LED according to the present example, the capping layer 16 and the second substrate 20 made of dielectric material are bonded through direct bonding. The strength of the bonding proved to be such that no peeling occurred even after the dicing step, during which a very large force is applied to the LED structure.

The second substrate 20 may alternatively be a dielectric substrate made of  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{MgO}$ , and compounds thereof, in the place of glass.

Although the surface of the GaAs first substrate 10 is the (100) plane in the present example, it may be another plane.

#### Example 5

Figure 11 shows a cross section of an LED in a step during fabrication according to the present example. Figure 12 shows a cross section of the LED produced by a method of the present example.

The LED of the present example is of a ZnCdSe-type, as well as the LED of Example 3, but is different from the LED of Example 3 in that a second substrate 20 is a dielectric substrate instead of a semiconductor substrate. Therefore, a front-side electrode 25 is provided on a second cladding layer 15 partially etching the first substrate side of the LED structure, instead of providing the electrode 25 on second substrate 20. As is shown in Figure 11, the ZnCdSe-type LED of the present example includes an n-type first cladding layer 13 and a p-type second cladding layer 15 opposing each other, with a light emitting layer 14 interposed therebetween. A back-side electrode 26 is formed on the lower side of the first cladding layer 13.

The LED having the above-mentioned configuration is fabricated in the following manner, according to the present example:

First, as is shown in Figure 11, an n-type buffer layer 11, the n-type first cladding layer 13, the undoped light emitting layer 14, and the p-type second cladding layer 15 are grown, in this order, on a surface of the first substrate 10 made of the n-type semiconductor material opaque to the generated light, by an MBE method. The surface of the first substrate 10 is the (100) plane.

Then, the second substrate 20 made of sapphire capable of transmitting the generated light is disposed on the second cladding layer 15 in such a way that a projection of the c axis of the crystal axes thereof on the surface of the second substrate 20 is perpendicular to the cleave plane of the first substrate 10. The surface of the second substrate 20 is the (1, 1, -2, 2) plane. A weight 30 (100 g/cm<sup>2</sup>) made of Mo is placed on the second substrate 20.

Thereafter, the above-mentioned LED structure is heated to 500 DEG C in an H<sub>2</sub> atmosphere, irradiated with an Ar laser beam (wavelength: 488 nm), and left for 2 hours. The Ar laser beam is transmitted through the second substrate 20 of sapphire, and is absorbed by the p-type second cladding layer 15. The p-type second cladding layer 15 and the second substrate 20 are bonded through direct bonding.

In the present example, the thicknesses and compositions of the substrates 10 and 20 and the other semiconductor layers may be those shown below, for example:

The first substrate 10: (composition) n-GaAs; (thickness) 200 μm.

The buffer layer 11: (composition) n-GaAs; (thickness) 1 μm.

The first cladding layer 13: (composition) n-ZnSe; (thickness); 3 μm.

The light emitting layer 14: (composition) Zn<sub>0.8</sub>Cd<sub>0.2</sub>Se; (thickness) 15 nm.

The second cladding layer 15: (composition) p-ZnSe; (thickness) 2 μm.

The second substrate 20: (composition) sapphire; (thickness) 200 μm.

Next, as is shown in Figure 12, the first substrate 10 and the n-type buffer layer 11 are removed. Moreover, the first substrate 10 and the semiconductor layers 11 to 14 are removed in a peripheral portion 61 of the LED structure so as to expose the p-type second cladding layer 15.

Then, the back-side electrode 26 made of Au is formed on a portion of the n-type first cladding layer remaining in the center portion 62 of the LED structure. The front-side electrode 25 made of Au is formed on the exposed portion of the p-type second cladding layer 15 located in the peripheral portion 61 of the LED structure.

LED structure.

The above-described LED structure is then divided into chips by dicing. Each chip is attached to a substrate. Then, each chip is sealed with resin so as to form an LED.

In the LED according to the present example, the second cladding layer 15 and the second substrate made of a dielectric material are bonded through direct bonding. The strength of the bonding proved such that no peeling occurred after the dicing step, although a very large force is applied to the LED structure during this step.

Although an irradiation with an Ar laser beam is conducted in the bonding process so as to effectively bond the bonding interface alone in the present example, no laser irradiation is required in cases where the bonding can be conducted by a conventional heating process.

The second substrate 20 may alternatively be a dielectric substrate made of polycrystal alumina, TiC, MgO, and compounds thereof, in the place of sapphire.

The surface of the first substrate 10 made of GaAs is the (100) plane, while the surface of the second substrate 20 made of sapphire is the (1, 1, -2, -2) in the present example. However, the surface of the substrate 10 may alternatively be the (111) B plane, the (111) A plane, or a plane tilted by 1 DEG to DEG from the (111) B plane or the (111) A plane. In this case, the surface of the second substrate 20 suitably be prescribed to be the (0001) plane, that is, the c plane. However, the surface orientations of the GaAs first substrate 10 and the second substrate 20 do not need to be of one of the combinations described above. For example, the surface of the GaAs substrate 10 may be the (100) plane or the surface of the sapphire second substrate 20 being the (0001) plane.

The present example also permits the modifications applicable to Example 3.

Various other modifications will be apparent to and can be readily made by those skilled in the art without departing from the scope and spirit of this invention. Accordingly, it is not intended that the scope of claims appended hereto be limited to the description as set forth herein, but rather that the claims be broadly construed.

---

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: **EP0611131**

1. A method for producing a light emitting diode, the method comprising the steps of:  
forming a first semiconductor multilayer on a first semiconductor substrate having a first conductivity type, the first semiconductor multilayer including at least one first semiconductor layer having the first conductivity type;  
forming a light emitting layer on the first semiconductor multilayer;  
forming a second semiconductor multilayer including at least one second semiconductor layer having a second conductivity type;  
disposing a second substrate which is transparent to light emitted from the light emitting layer on the second semiconductor multilayer; and  
bonding the second substrate and the second semiconductor multilayer through direct bonding with the second substrate in the vicinity of an interface between the second substrate and the second semiconductor multilayer.

2. A method according to claim 1, wherein the second substrate is made of a semiconductor material having the second conductivity type.

3. A method according to claim 2, wherein the second substrate is made of at least one selected from

group consisting of GaP, ZnSe, ZnS, and SiC.

4. A method according to claim 1, wherein the second substrate is made of a dielectric material.

5. A method according to claim 4, wherein the second substrate is made of at least one selected from group consisting of Al<sub>2</sub>O<sub>3</sub>, glass, TiO<sub>2</sub>, MgO, and a compound thereof.

6. A method according to claim 1, wherein the bonding step is conducted by applying a pressure from side of at least one of the first substrate and the second substrate.

7. A method according to claim 1, wherein the disposing step is conducted in such a way that a crystal of the second substrate and a crystal axis of the second semiconductor multilayer are aligned with each other.

8. A method according to claim 2, wherein the second semiconductor multilayer includes a plurality of second semiconductor layers, and wherein one of the plurality of second semiconductor layers that is in contact with the second substrate has the same composition as that of the second substrate.

9. A method according to claim 1 further comprising the step of providing grooves in at least one of the second semiconductor multilayer and a face of the second substrate that is in contact with the semiconductor layer, the grooves reaching at least one edge of at least one of the faces.

10. A method according to claim 1 further comprising the step of removing at least a portion of the first semiconductor substrate after bonding the second semiconductor multilayer and the second substrate.

11. A method according to claim 10 further comprising the steps of:  
forming an etching stopper layer between the first semiconductor substrate and the first semiconductor multilayer, the etching stopper layer having the first conductivity type and having a composition different from a composition of the first semiconductor multilayer; and  
removing the first semiconductor substrate until at least the etching stopper layer is exposed after the bonding step.

12. A method according to claim 10 further comprising the steps of:  
forming an electrode on a portion of a face of the first semiconductor substrate exposed after removing at least a portion of the first semiconductor substrate; and  
forming a reflective film on at least a portion of the exposed face of the first semiconductor substrate except where the electrode is formed.

13. A method according to claim 10 further comprising the steps of:  
forming an electrode on a portion of a face of the first semiconductor substrate exposed after removing at least a portion of the first semiconductor substrate;  
removing at least a portion of the first semiconductor substrate, the first semiconductor multilayer, a light emitting layer to expose a portion of a face of the second semiconductor multilayer; and  
forming an electrode on a portion of an exposed face of the second semiconductor multilayer.

14. A method according to claim 1 further comprising the step of forming a dopant layer having the first conductivity type on at least one of a face of the second semiconductor multilayer and a face of the second substrate before the bonding step.

15. A method according to claim 1, wherein the heating is conducted by radiating light through the second substrate, the light having a wavelength absorbable by the second semiconductor multilayer.

16. A method according to claim 14, wherein the heating is conducted by radiating light through the second substrate, the light having a wavelength absorbable by the dopant layer.

17. A method for producing a light emitting device, the method comprising the steps of:  
forming a semiconductor multilayer on a first substrate, the semiconductor multilayer including at least one light emitting layer;  
disposing a second substrate which is transparent to light emitted from the light emitting layer on the semiconductor multilayer;  
bonding the second substrate and the semiconductor multilayer through direct bonding with heating in the vicinity of an interface between the second substrate and the semiconductor multilayer; and  
removing at least part of the first substrate.

---

Data supplied from the *esp@cenet* database - Worldwide